

---

2.4GHz RF transceiver with  
embedded

**nRF24E1**

8051 compatible micro-controller and  
9 input, 10 bit ADC

---

**特 徴**

- ・ nRF2401 2.4GHz 高周波トランシーバ
- ・ 8051 互換マイクロコントローラ
- ・ nRF24E2と互換
- ・ 9入力 10ビット 100kSPS ADC
- ・ 1.9Vから3.6Vの単電源
- ・ 電圧レギュレータ内蔵
- ・ タイマまたは外部ピンで起動する、2  $\mu$ Aの待機モード
- ・ VDDモニタ機能内蔵
- ・ 36ピン QFN(6x6mm)パッケージ
- ・ 0.18  $\mu$ m CMOS テクノロジ
- ・ マスクバージョンも有ります
- ・ 少ない部品点数
- ・ やさしい設計

**用 途**

- ・ 無線ゲームパッド
- ・ 無線ヘッドセット
- ・ 無線キーボード
- ・ 無線マウス
- ・ 無線玩具
- ・ インテリジェントスポーツ用具
- ・ 工業用センサ
- ・ PC 周辺機器
- ・ 電話周辺機器
- ・ タグ
- ・ アラーム
- ・ リモコン

# 目次

1	概要	4
1.1	データ早見表	4
1.2	ブロック図	5
1.3	ピン配置図	6
1.4	用語集	8
2	アーキテクチャの概観	9
2.1	マイクロコントローラ	9
2.2	PWM	11
2.3	SPI	11
2.4	ポートロジック	11
2.5	電源管理	11
2.6	RTCウェイクアップタイマ、ウォッチドッグタイマとRC発振器	11
2.7	水晶発振器	12
2.8	ADコンバータ	12
2.9	無線トランシーバ	12
3	I/Oポート	14
3.1	リセットの間のI/Oポートの振る舞い	14
3.2	ポート0 (P0)	14
3.3	ポート1 (P1 または SPI ポート)	16
4	nRF2401 2.4 GHz トランシーバサブシステム	20
4.1	無線ポート (ポート2)	20
4.2	動作モード	22
4.3	素子の設定	28
4.4	データパッケージの説明	40
4.5	重要な高周波タイミングのデータ	42
5	A/Dコンバータ	47
5.1	A/Dコンバータサブシステムのブロック図	48
5.2	A/Dコンバータのレジスタ	48
5.3	A/Dコンバータの使用法	50
5.4	A/Dコンバータのタイミング	52
5.5	アナログインタフェースのガイドライン	53
6	PWM	54
7	割り込み	55
7.1	割り込みSFR	55
7.2	割り込みの過程	58

7.3	割り込みのマスク	59
7.4	割り込みの優先順位	59
7.5	割り込みのサンプリング	60
7.6	割り込みの潜伏期間	60
7.7	パワダウンモードからの割り込みの潜伏期間	60
7.8	シングルステップ動作	60
8	ウェイクアップタイマとウォッチドッグ	61
8.1	チックの校正	61
8.2	RTCウェイクアップタイマ	62
8.3	ウォッチドッグ	62
8.4	リセット	64
9	省電力モード	65
9.1	アイドルモード	65
9.2	ストップモード	66
9.3	パワダウンモード	66
10	マイクロコントローラ	68
10.1	メモリ環境	68
10.2	外部EEPROMのプログラムフォーマット	69
10.3	命令セット	70
10.4	命令タイミング	77
10.5	二組のデータポインタ	77
10.6	特別機能レジスタ	78
10.7	nRF24E1に特有のSFRレジスタ	82
10.8	タイマ/カウンタ	84
10.9	シリアルインタフェイス	92
11	電氣的仕様	102
12	パッケージ外形図	104
12.1	グリーンパッケージの外形	104
12.2	ソータイプの外形	105
13	絶対最大定格	106
14	高周波周辺情報	108
14.2	プリント基板の配置とデカップリングのガイドライン	109
15	適用例	110
15.1	シングルエンドのマッチングネットワークを持ったnRF24E1	110
15.2	プリント基板の配置例	112
16	図の一覧	113
17	表の一覧	114
18	重要な注意事項	116



# 1. 概要

nRF24E1は組み込み8051と互換のマイクロコントローラと、10ビット9入力 100kSPSのADコンバータを持った2.4GHz無線トランシーバです。回路には1.9Vから3.6Vの範囲の単一電圧が供給されるだけです。nRF24E1はnRF2401のShockBurst(TM)とDuoCeiver(TM)といった特有の先進的なモードをサポートしています。

nRF24E1はnRF24E2チップの上位互換で、nRF24E2の全ての機能を含んでいることを意味し、プログラムも全てnRF24E2と互換です。

## 1.1 データ早見表

Parameter	Value	Unit
Minimum supply voltage	1.9	V
Temperature range	-40 to +85	°C
Maximum RF output power	0	dBm
RF receiver sensitivity	-90	dBm
Maximum RF burst data rate	1000	kbps
Supply current for microcontroller @ 16MHz @3V	3	mA
Supply current for ADC @100 kSPS	0.9	mA
Supply current for RF transmit @ -5dBm output power	10.5	mA
Supply current for RF receive @1000 kbps	19	mA
Supply current in Power Down mode	2	µA
max CPU clock frequency	20	MHz
max AD conversion rate	100	kSPS
ADC Differential nonlinearity (DNL)	±0.5	LSB
ADC Integral nonlinearity (INL)	±0.75	LSB
ADC Spurious free dynamic range (SFDR)	65	dB
Package	36 pin QFN 6x6	

表 1 - 1 : nRF24E1 データ早見表

Type Number	Description	Version
NRF24E1 IC	36 pin QFN 6x6, saw	A
NRF24E1G IC	36 pin QFN 6x6, green package	A
NRF24E1-EVKIT	Evaluation kit	1.0

表 1 - 2 : nRF24E1 発注情報

## 1.2 ブロック図

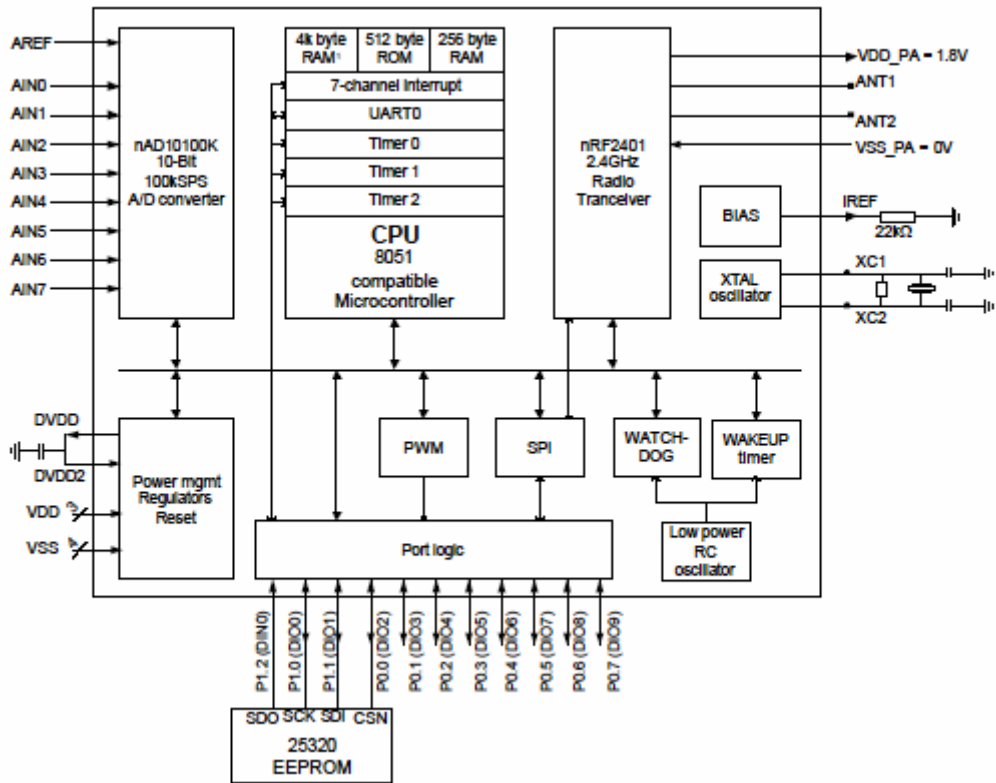
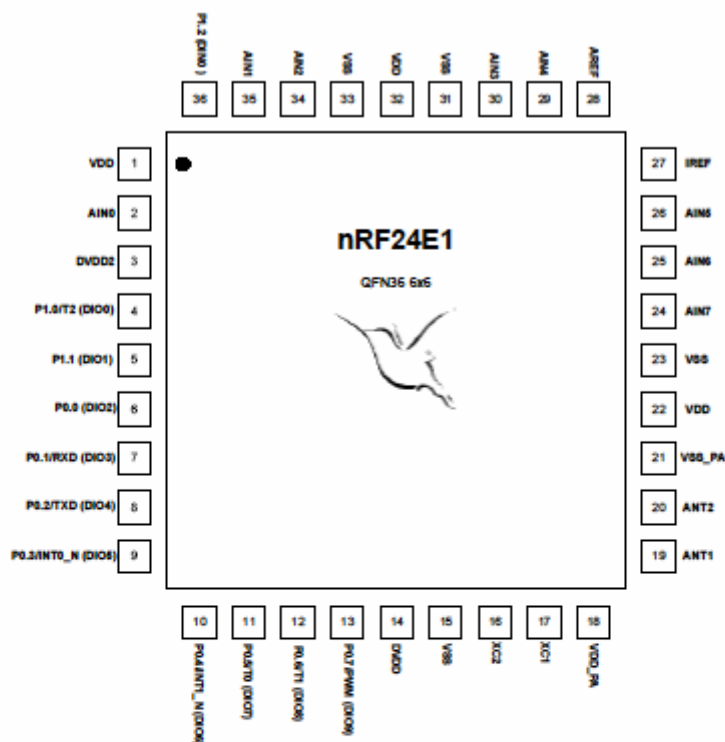


図 1 - 1 : nRF24E1のブロック図と外付け部品

## 1.3 ピン配置図



Pin	Name	Pin function	Description
1	VDD	Power	Power Supply (1.9-3.6 V DC)
2	AIN0	Analog input	ADC input 0
3	DVDD2	Regulated power	Digital Power Supply , must be connected to regulator output DVDD
4	P1.0/T2	Digital I/O	Port 1, bit 0 or T2 timer input or SPI clock or DIO0
5	P1.1	Digital I/O	Port 1, bit 1 or SPI dataout or DIO1
6	P0.0	Digital I/O	Port 0, bit 0 or EEPROM.CSN or DIO2
7	P0.1/RXD	Digital I/O	Port 0, bit 1 or UART.RXD or DIO3
8	P0.2/TXD	Digital I/O	Port 0, bit 2 or UART.TXD or DIO4

9	P0.3/INT0_N	Digital I/O	Port 0, bit 3 or INT0_N interrupt or DIO5
10	P0.4/INT1_N	Digital I/O	Port 0, bit 4 or INT1_N interrupt or DIO6
11	P0.5/T0	Digital I/O	Port 0, bit 5 or T0 timer input or DIO7
12	P0.6/T1	Digital I/O	Port 0, bit 6 or T1 timer input or DIO8
13	P0.7/PWM	Digital I/O	Port 0, bit 7 or PWM output or DIO9
14	DVDD	Regulator output	Digital voltage regulator output for de-coupling and feed to DVVD2
15	VSS	Power	Ground (0V)
16	XC2	Analog output	Crystal Pin 2
17	XC1	Analog input	Crystal Pin 1
18	VDD_PA	Regulator output	DC supply (+1.8V) to RF Power Amplifier (ANT1,ANT2) only
19	ANT1	RF	Antenna interface 1
20	ANT2	RF	Antenna interface 2
21	VSS_PA	Power	Ground (0V)
22	VDD	Power	Power Supply (1.9-3.6 VDC)
23	VSS	Power	Ground (0V)
24	AIN7	Analog input	ADC input 7
25	AIN6	Analog input	ADC input 6
26	AIN5	Analog input	ADC input 5
27	IREF	Analog input	Connection to external Bias reference resistor
28	AREF	Analog input	ADC reference voltage
29	AIN4	Analog input	ADC input 4
30	AIN3	Analog input	ADC input 3
31	VSS	Power	Ground (0V)
32	VDD	Power	Power Supply (1.9-3.6 VDC)
33	VSS	Power	Ground (0V)
34	AIN2	Analog input	ADC input 2
35	AIN1	Analog input	ADC input 1
36	P1.2	Digital input	Port 1, bit 2 or SPI datain or DIN0

表 1 - 3 : nRF24E1のピンの機能



## 1.4 用語集

Term	Description
ADC	Analog to Digital Converter
CLK	Clock
CRC	Cyclic Redundancy Check
CS	Chip Select
CE	Chip Enable
DR	Data Ready
FS	Full Scale
GFSK	Gaussian Frequency Shift Keying
GPIO	General Purpose In Out
ISM	Industrial-Scientific-Medical
kSPS	kilo Samples per Second
MCU	Microcontroller Unit
OD	Overdrive
PO (or PI)	(8051) In / Out Port 0 (or Port 1)
PWM	Pulse Width Modulation
PWR_DWN	Power Down
PWR_UP	Power Up
RTC	Real Time Clock
RX	Receive
SFR	(8051) Special Function Register
SPI	Serial Peripheral Interface
SPS	Samples per Second
ST_BY	Standby
TX	Transmit
XTAL	Crystal (oscillator)

## 2. アーキテクチャの概観

この章では図1 - 1のブロック図のそれぞれのブロックについて簡単に見てみましょう。

### 2.1 マイクロコントローラ

nRF24E1マイクロコントローラは業界標準の8051と命令セットが互換です。

命令タイミングは業界標準と少し異なり、「標準」の12から48に対し、代表的な命令は4ないし20クロックを使用します。割り込みコントローラは、ADC・SPI・高周波受信1・高周波受信2、そしてウェイクアップタイマの5つの追加された割り込み源をサポートするよう、拡張されています。マイクロコントローラ核には、いくつかの拡張がプラスされた、8052互換の3組のタイマも有ります。タイマ1またはタイマ2を使ってポーレートを作ることができる、伝統的な非同期モードの8051互換のUARTが含まれています。

CPUは一般の8051を拡張した、XRAMエリアのデータを容易に移動する、2組のデータポインタを備えています。マイクロコントローラのクロックは水晶発振器から直接引き出されます。

#### 2.1.1 メモリ環境

マイクロコントローラは256バイトのデータRAMを持っています(8052互換の、上位半分はレジスタ間接アドレッシングだけできる)。512バイトの小さなROMはパワオンリセット後や、後にソフトウェアによって初期化されたときに自動的に実行されるブートストラップローダを含んでいます。ユーザプログラムは普通、外部シリアルEEPROMからブートストラップローダによって4kバイトのRAMに読み込まれます。4kバイトRAMは(一部分は)アプリケーションのデータ保管場所として用いることができます。

注)オプションで4kのメモリは2kマスクROMと2kRAMに、あるいは4kマスクROMに設定できます。

#### 2.1.2 起動EEPROM / FLASH

マスクROMオプションを使用しない場合、装置のプログラムコードは外部の非揮発性メモリから読み込まれなければなりません。既定のブートローダは、これにSPIインタフェースの「汎用25320」EEPROMを想定しています。これらのメモリは、最低供給電圧が1.8Vまでのものがいくつかの業者からでています。SPIインタフェースはP1.2 / DIN0 (EEPROM SDO)・P1.0 / DIO0 (EEPROM SCK)・P1.1 / DIO1 (EEPROM SDI)・P0.0 / DIO2 (EEPROM CSN)のピンを使用します。ブートが完了したとき、P1.2 / DIN0・P1.0 / DIO0・P1.1 / DIO1ピンは他のSPI装置やGPIOのために使用することができます。

#### 2.1.3 レジスタマップ

SFR(特別機能レジスタ)はnRF24E1のいくつかの機能を制御します。nRF24E1のSFRの大半は標準の8051のSFRと同一です。しかし、標準の8051には存在しない機能を制御する、追加されたSFRがあります。

SFRマップを下の表に示します。背景が灰色のレジスタは業界標準の8051のレジスタの動作をします。P1とP2の機能は、慣習的なアドレス(0x80, 0x90)が使われているにもかかわらず、「標準」と幾分異なることに注意してください。

	X000	X001	X010	X011	X100	X101	X110	X111
F8	EIP							
F0	B							
E8	EIE							
E0	ACC							
D8	EICON							
D0	PSW							
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2		
C0								
B8	IP				T1_IV2	T2_IV2	DEV_OFFSET	
B0		RSTREAS	SPI_DATA	SPI_CTRL	SPI_CLK	TICK_DV	CK_CTRL	TEST_MODE
A8	IE	PWM_CON	PWM_DUTY	REGX_MSB	REGX_LSB	REGX_CTRL		
A0	RADIO (P2)	ADCCON	ADC_DATAH	ADC_DATAH	ADC_STATIC			
98	SCON	SBUF						
90	P1	EXIF	MPAGE		P0_DIR	P0_ALT	P1_DIR	P1_ALT
88	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	SPC_FNC
80	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON

表 2 - 1 : SFRレジスタマップ

## 2.2 PWM

nRF24E1はDIO9ピンのP0.7の代替機能で、プログラム可能なPWM出力が一つあります。PWMの分解能はソフトウェアで6,7,8ビットにプログラムできます。PWM信号の周波数は水晶発振器から6ビットのプリスケラを介し、プログラム可能です。デューティサイクルは8ビットレジスタを介し、0%から100%の間プログラム可能です。

## 2.3 SPI

nRF24E1は単純な単一のバッファされたSPIマスタを特色としています。3本のSPIバス(SDI, SCK, SDO)は、(SPI\_CTRLレジスタに書くことによって)GPIOピン(P1.2 / DIN0, P1.0 / DIO0, P1.1 / DIO1)と高周波トランシーバと多重化されています。SPIハードウェアはいかなるチップセレクト信号も作りません。プログラマは外部の1つまたは複数のSPI装置のチップを選択するため、主にGPIOビット(P0ポートからの)を使用します。

SPIが高周波トランシーバに接続されているとき、チップセレクトは内部のGPIOポート、P2になります。

## 2.4 ポートロジック

素子は一つの汎用入力と10の汎用双方向ピンを持っています。これらは既定でGPIOに配置されており、マイクロコントローラのP0ポート(DIO2からDIO9)とP1(DIO0, DIO1, DIN0)によって制御されます。

ほとんどのGPIOピンはプログラム制御により多目的に使うことができます。切り替え機能は2組の外部割り込み・UARTのRXDとTXD・SPIマスタポート・タイマのための3つの可能/計数信号、そしてPWM出力を含んでいます。

## 2.5 電源管理

nRF24E1はプログラム制御でパワダウンモードにすることができ、同様にADCとRFサブモジュールもプログラム制御でオン・オフすることができます。CPUは停止しますが、全てのRAMとレジスタはその値を保持します。低電力のRC発振器は動き続け、そしてウォッチドッグとRTCウェイクアップタイマ(ソフトで有効にしていれば)も同様です。このモードでの消費電流は代表値で2  $\mu$ Aです。

素子は、有効になっていれば外部ピン割り込み(INT0\_NまたはINT1\_N)・ウェイクアップタイマ、またはウォッチドッグリセットでパワダウンモードから抜け出すことができます。

## 2.6 RTCウェイクアップタイマ・ウォッチドッグタイマとRC発振器

nRF24E1は機能を停止することができない低電力のRC発振器を含んでおり、VDD 1.8Vの間動作し続けます。

RTCウェイクアップタイマとウォッチドッグはRC発信機LP\_OSCクロックで動作する二つの16ビットのプログラム可能なタイマです。ウォッチドッグとウェイクアップタイマの分解能は約300  $\mu$ sから80msの間でプログラムできます。既定では分解能は10msです。ウェイクアップタイマはユーザのソフトウェアで開始、停止できます。ウォッチドッグはリセット後は動作しませんが、一度動作させると、他のリセットを除き、動作を止めることはできません。

## 2.7 水晶発振器

マイクロコントローラ・ADCと高周波フロントエンドは、水晶発振器が発生させたクロック上で動作します。水晶の周波数は4から20MHzまで使えるでしょうが、総合的な性能から、16MHzがお勧めです。詳しくは91ページの水晶の仕様を見てください。発信器はソフトの要求で、開始・停止することができます。

## 2.8 ADコンバータ

nRF24E1のADコンバータは10ビットのダイナミックレンジと直線性で、10ビットの結果ごとに48CPU命令サイクルの変換時間です。

ADコンバータのリファレンスはソフトで、AREF入力と内部の1.22Vバンドギャップリファレンスを選択でき

ます。

コンバータにはソフトで選択できる9組の入力があります。入力0から7のうち選ばれたひとつは、対応するAIN0からAIN7ピンの電圧を変換します。

入力8は、1.22V内部リファレンスを選択された、VDD / 3の内部入力を変換することにより、nRF24E1の供給電圧を監視することができます。

ADコンバータは主にスタート/ストップモードで使用されます。サンプリング時間はソフトの下で制御されません。

コンバータは既定で10ビットに設定されています。特別な要求で、ADコンバータは6・8・12ビット変換を行うよう設定できます。コンバータはAIN0を反転入力、他の7つの外部入力の1つを非反転入力として、差動モードとしても使うことができます。この場合、変換時間は約2usに短縮できます。

## 2.9 無線トランシーバ

回路のトランシーバ部分はnRF2401単一チップ無線トランシーバと同一の機能を持っています。これは内部の平行ポートと/または内部のSPIを通してアクセスされます。それぞれのDuoCeiver™受信機が出力するdata ready信号は、マイクロコントローラへの割り込みとしてプログラムするか、あるいはGPIOポート経由で獲得することができます。

nRF2401は世界的な2.4 - 2.5 GHz ISMバンドの無線トランシーバです。トランシーバは完全に統合された周波数シンセサイザ、電力増幅器、変調器、および2組の受信機ユニットからなります。出力電力と周波数チャンネルと他の高周波パラメータは、無線レジスタSFR\_0xA0を使うことで、簡単にプログラムできます。高周波消費電流は、送信モード(出力電力 - 5 dBm)で10.5 mA、受信モードで18 mAだけです。トランシーバの省電力はソフト制御の下でオン・オフできます。nRF2401チップのさらに詳しい情報は私どものウェブサイト <http://www.nvlsi.no> で見つけることができます。

### 3 I/Oポート

nRF24E1は標準8051のP0とP1の既定の場所に、2組のI/Oポートがあります。しかしポートは完全に双方向性のCMOSで、それぞれのピンの方向は下の表に示した、それぞれのピットの\_DIRと\_ALTビットで制御されます。

Pin	Default function	Alternate=1	SPI_CTRL=01
DIN0	P1.2		SPI_DI
DIO0	P1.0	T2 (timer2 input)	SPI_SCK
DIO1	P1.1		SPI_DO
DIO2	P0.0 <sup>2</sup>	EEPROM_CSN	
DIO3	P0.1	RXD (UART)	
DIO4	P0.2	TXD (UART)	
DIO5	P0.3	INT0_N (interrupt)	
DIO6	P0.4	INT1_N (interrupt)	
DIO7	P0.5	T0 (timer0 input)	
DIO8	P0.6	T1 (timer1 input)	
DIO9	P0.7	PWM	

表 3 - 1 : ポート機能

2) 切り替え設定から独立したGPIO P0.0として働く、EEPROM\_CSNとして使用するため予約されています。

#### 3.1 リセットの間のI/Oポートの振る舞い

内部リセットが有効な間(クロックが動いているかどうかにかかわらず)、ポートのピンは入力に設定されます。プログラムが実行を開始したとき、DIOは入力に設定されたままで、出力として使うためにはプログラムは\_ALTと(または)\_DIRレジスタを設定する必要があります。

#### 3.2 ポート0(P0)

P0\_ALTとP0\_DIRは優先順位に従い、P0ポートの機能を制御します。ポートに対する切り替え機能 P0.nがセットされる(P0\_ALT.n = 1によって)と、UART\_RXDの方向がP0\_DIR.1に依存することを除き、ピンは切り替え機能(UART・外部割込み・タイマ入力またはPWM出力)の要求で入力又は出力になります。

INT0\_NまたはINT1\_Nを使うために対応する切り替え機能P0\_ALT.3 / P0\_ALT.4をアクティブにしなければなりません。

P0\_ALT.nがセットされていないとき、ポートのビット「n」はP0\_DIR.nによって方向制御されるGPIO機能です。

P0.0は常にGPIOです。それはリセットの後、既定のブートローダによってアクティブにされ、ブートフラッシュのCSNに接続されます。

Pin	Data in P0_ALT.n,P0_DIR.n							
	10		11		00		01	
P0.0 (DIO2)	P0.0	Out	P0.0	In	P0.0	Out	P0.0	In
P0.1 (DIO3)	RXD	Out	RXD	In	P0.1	Out	P0.1	In
P0.2 (DIO4)	TXD	Out	TXD	Out	P0.2	Out	P0.2	In
P0.3 (DIO5)	INT0_N	In	INT0_N	In	P0.3	Out	P0.3	In
P0.4 (DIO6)	INT1_N	In	INT1_N	In	P0.4	Out	P0.4	In
P0.5 (DIO7)	T0	In	T0	In	P0.5	Out	P0.5	In
P0.6 (DIO8)	T1	In	T1	In	P0.6	Out	P0.6	In
P0.7 (DIO9)	PWM	Out	PWM	Out	P0.7	Out	P0.7	In

表 3 - 2 : ポート0 (P0)機能

ポート0は下表に掲げるSFRレジスタの0x80,0x94,0x95により制御されます。

Addr SFR (hex)	R/W	#bit	Init value (hex)	Name	Function
80	R/W	8	FF	P0	Port 0, pins DIO9 to DIO2
94	R/W	8	FF	P0_DIR	Direction for each bit of Port 0 0: Output, 1: Input Direction is overridden if alternate function is selected for a pin.
95	R/W	8	00	P0_ALT	Select alternate functions for each pin of P0, if corresponding bit in P0_ALT is set, as listed in Table 3-2 : Port 0 (P0) functions, P0.0 has no alternate function, as it is intended as CS for external boot flash memory. It will function as a GPIO bit regardless of P0_ALT.0

表 3 - 3 : ポート0制御とデータSFRレジスタ



### 3.3 ポート1 (P1またはSPIポート)

P1ポートはわずか3本のピンからなり、そのうちの1本はハード結線での入力です。機能はSPI\_CTRLで制御されます。

SPI\_CTRLが01のとき、ポートはSPIマスタポートとして使われます。ポートP0のGPIOビットはチップ選択として使用されるでしょう。タイミング図は図3.1:SPIインタフェースタイミングをご覧ください。

SPIポートとして使わないとき、P0\_ALT.0はP1.0をタイマT2入力、P1.1をGPIOにします。P0\_ALT.0が0のとき、P1.0も同様にGPIOです。

P1.2(DIN0)は常に入力です。

Pin	SPI_CTRL = 01		SPI_CTRL != 01					
			P1_ALT.n = 1		P1_ALT.n = 0			
					P1_DIR.n = 0		P1_DIR.n = 1	
P1.0 (DIO0)	SCK	Out	T2	In	P1.0	In	P1.0	Out
P1.1 (DIO1)	SDO	Out	P1.1	In <sup>3</sup>	P1.1	In	P1.1	Out
P1.2 (DIN0)	SDI	In	P1.2	In	P1.2	In	P1.2	In

訳注

0と1が反対になっている。

表 3 - 4 : ポート1 (P1)機能

ポート1はSFRレジスタの0x90,0x96,0x97により制御され、レジスタの下位3ビットだけが使用されます。

3)このピンの切り替え機能が無いので、P1\_ALT.1が1のときでもP1.1は実際P1\_DIRの制御の下にあります。

Addr SFR (hex)	R/W	#bit	Init value (hex)	Name	Function
90	R/W	3	FF	P1	Port 1, pins DIN0, DIO1 and DIO0
96	R/W	3	FF	P1_DIR	Direction for each bit of Port 1 0: Output, 1: Input Direction is overridden if alternate function is selected for a pin, or if SPI_CTRL=01. bit0, DIN0 is always input.

97	R/W	3	00	P1_ALT	<p>Select alternate functions for each pin of P1 if corresponding bit in P1_ALT is set, as listed in Table 3-4 : Port 1 (P1) functions</p> <p>If SPI_CTRL is '01', the P1 port is used as SPI master data and clock :</p> <p>2 -&gt; SDI – input to nRF24E1 from slave</p> <p>1 -&gt; SDO – output from nRF24E1 to slave</p> <p>0 -&gt; SCK – output from nRF24E1 to slave</p>
----	-----	---	----	--------	--

表 3 - 5 : ポート1制御とデータSFRレジスタ

P1はまたSPIマスタポートとしても設定されるでしょう。そしてそのとき、下の表に示す0xB2,0xB3,0xB4の3つのSPIレジスタで制御されます。

Addr SFR (hex)	R/W	#bit	Init (hex)	Name	Function
B2	R/W	8	0	SPI_DATA	SPI data input/output
B3	R/W	2	0	SPI_CTRL	00 -> SPI not used no clock generated 01 -> SPI connected to port P1 (as for booting) another GPIO must be used as chip select (see also Table 3-4 : Port 1 (P1) functions) 10 -> SPI connected to RADIO transmitter/receiver 1 for TX or RX or for transceiver configuration 11 -> SPI connected to RADIO receiver 2 for RX Chip select is a bit of RADIO register (see Table 4-2 : RADIO register)
B4	R/W	2	0	SPICLK	Divider factor from CPU clock to SPI clock 00: 1/8 of CPU clock frequency 01: 1/16 of CPU clock frequency 10: 1/32 of CPU clock frequency 11: 1/64 of CPU clock frequency The CPU clock is the oscillator generated clock described in Crystal Specification page 108

表 3 - 6 : SPI制御とデータSFRレジスタ

### 3.3.1 SPIインタフェースの操作

SPI\_DATAが書かれるときはいつも、SCKで8パルスのシーケンスは始まり、そしてSDOで8ビットのSPI\_DATAレジスタは最上位ビットを初めに、クロックに同期して出力されます。同時にSDIからの8ビットは、SPI\_DATAレジスタにクロックに同期して入力されます。出力データはSCKの立下りでシフトし、入力データはSCKの立ち上がりで読み込まれます。これは図3 - 1:SPIインターフェースタイミングに図解されています。8ビットが終わったとき、SPI\_READY割り込み(EXIF.5)がアクティブになり、SDIからの8ビットはSPI\_DATAレジスタから読めるでしょう。EXIF.5ビットは、SPI\_DATAレジスタを再び書込み他のSPI処理が始まる前に、クリアされなければなりません。SCK,SDO,SDIはSPI\_CTRLレジスタで定義された、外部ピンか又は内部信号でしょう。

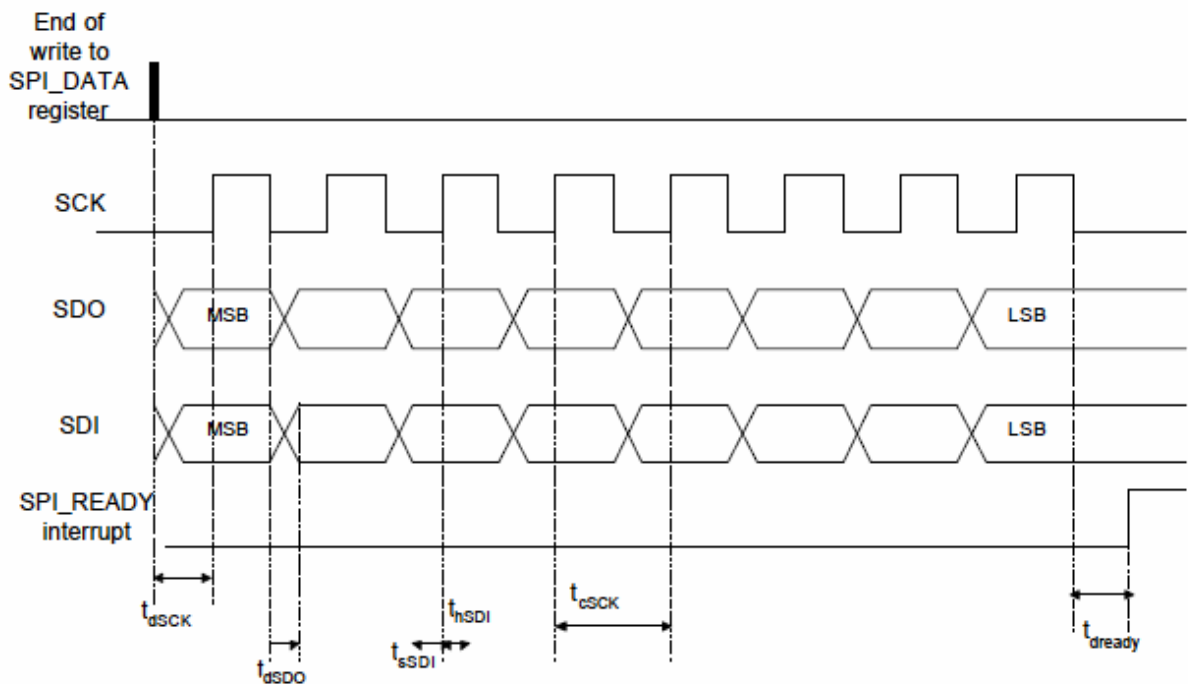


図 3 - 1 : SPIインタフェースタイミング

$t_{cSCK}$  : SCK cycle time, as defined by SPICLK register.

$t_{dSCK}$  : time from writing to SPI\_DATA register to first SCK pulse,

$$t_{dSCK} = t_{cSCK} / 2$$

$t_{dSDO}$  : delay from negedge SCK to new SDO output data, may vary from

-40ns to 40ns

$t_{sSDI}$  : SDI setup time to posedge SCK,  $t_{sSDI} > 45\text{ns}$ .

$t_{hSDI}$  : SDI hold time to posedge SCK,  $t_{hSDI} > 0\text{ns}$ .

$t_{dready}$  : time from last SCK pulse to SPI\_READY interrupt goes active

$$t_{dready} = 7 \text{ CPU clock cycles}$$

上のデレイ、セットアップ、ホールドの数字はSPIがポート1に接続されているときだけ適用されることに注意してください；SPIが無線に接続されているとき、SCK、SDO、SDIは全て内部信号で、ユーザには見えないので。

連続的なSPI処理の最大時間は：

$$8.5 t_{cSCK} + t_{dready} + t_{sw}$$

ここで $t_{sw}$ は、SPI\_READY割り込みを処理しそしてSPI\_DATAレジスタに書き込むため、ソフトウェアでとられる時間です。

## 4 nRF2401 2.4GHz トランシーバサブシステム

### 4.1 無線ポート(ポート2)

トランシーバは無線ポートにより制御されます。無線ポートは標準8051でポートP2に普通使われているアドレスを使用します。しかしながら無線トランシーバがチップ上にあるので、ポートは双方向ではありません。電源投入時のポートが「ラッチ」する既定の値もまた、無線トランシーバサブシステムの要求に合わせるため、伝統的な8051と様式が異なります。

トランシーバの操作は、無線とSPI\_CTRLのSFRレジスタで制御されます。

Addr SFR (hex)	R/W	#bit	Init value (hex)	Name	Function
A0	R/W	8	80	RADIO	General purpose IO for interface to nRF2401 radio transceiver subsystem
B3	R/W	2	0	SPI_CTRL	00 -> SPI not used 01 -> SPI connected to port P1 (boot) 10 -> SPI connected to nRF2401 CH1 11 -> SPI connected to nRF2401 RX CH2

表 4 - 1 : nRF2401 2.4GHz トランシーバサブシステム 制御レジスタ - SFR 0xA0と0xB3

無線レジスタのビットは、図4 - 2:無線レジスタに示すように、単一チップnRF2401の同様のピンに相当します。説明書の中ではピンの名前が使われていますので、これらのnRF2401ピンをセットする、あるいは読むということは、それに対応した無線SFRレジスタに書く、あるいは読むということを意味することに注意してください。同様に、トランシーバ説明書の中のMCUという表記は、チップ上の8051互換のマイクロコントローラを意味することにも注意してください。

RADIO register bit	corresponding pin name on single chip nRF2401 2.4GHz Transceiver
<b>Read :</b>	
7: 0 (not used)	
6: DR2, data ready from receiver 2 (available also as interrupt)	DR2
5: CLK2, clock for receiver 2 data out	CLK2
4: DOUT2, data out from receiver 2	DOUT2
3: 0 (not used)	
2: DR1, data ready from receiver 1 (available also as interrupt)	DR1
1: CLK1, clock for receiver 1 data out	CLK1

0: DATA, data out from receiver 1	DATA
<b>Write :</b>	
7: PWR_UP, power on radio	PWR_UP
6: CE, Activate RX or TX mode	CE
5: CLK2, clock for receiver 2 data out	CLK2
4: Not used	
3: CS, Chip select configuration mode	CS
2: Not used	
1: CLK1, clock for data input or receiver 1 data out	CLK1
0: DATA, configuration or TX data input	DATA

表 4 - 2 : 無線レジスタ - SFR 0xA0、既定の初期データ値は0x80です。

注) SPI\_CTRL=1x のとき、いくつかのピンは上書きされます。表 4 - 3 : トランシーバ SPI インタフェース参照。

#### 4.1.1 SPI インタフェース経由のトランシーバ制御

内蔵の SPI インタフェースを使用することは、高周波設定やショックバースト送受信のような、共通のトランシーバ操作の大部分を行うのにより便利です。SPI インタフェースを使うため、表 3 - 6 : SPI 制御とデータ SFR レジスタを見てください。無線ポートは SPI\_CTRL が「1x」のとき、SPI ハードウェアの別回路に接続されます。SPI\_CTRL が「0x」のとき、全ての無線ピンはそれぞれのポートピンに直接接続されます。

SPI signal	SPI_CTRL=10 (binary)	SPI_CTRL=11
CS (active high)	RADIO_wr.6 (CE) for ShockBurst™ RADIO_wr.3 (CS) for Configuration	RADIO_wr.6 (CE)
SCK	nRF2401/CLK1	nRF2401/CLK2
SDI	nRF2401/DATA	nRF2401/DOUT2
SDO	nRF2401/DATA	not used
ShockBurst™ data ready	RADIO_rd.2 (DR1)	RADIO_rd.6 (DR2)

表 4 - 3 : トランシーバ SPI インタフェース

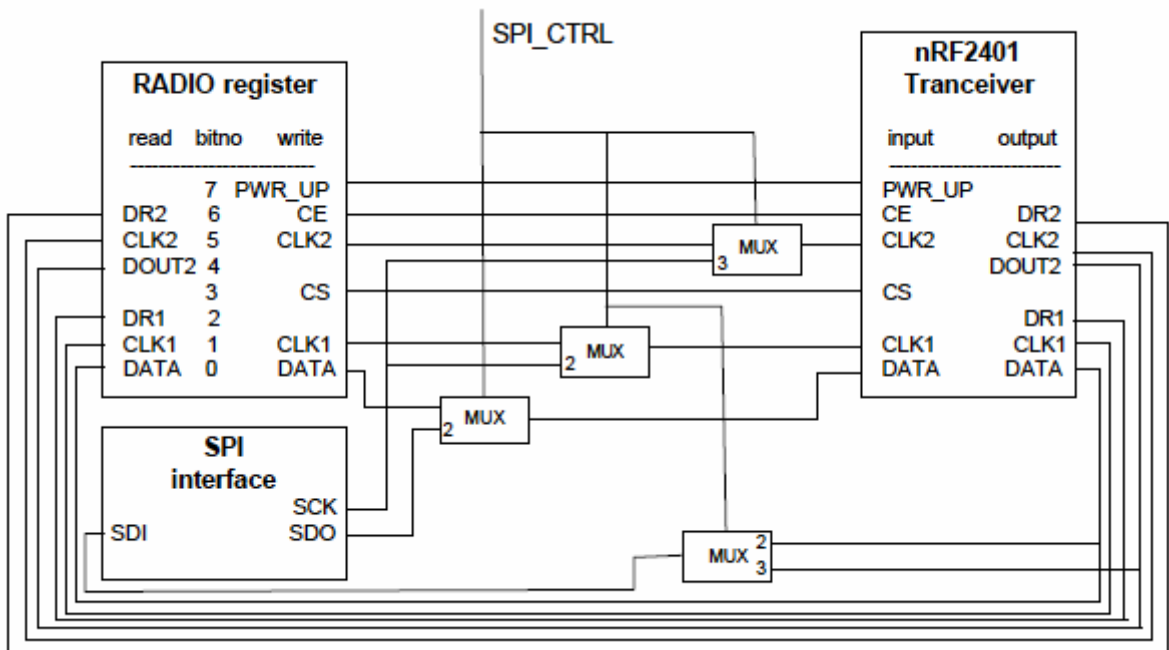


図 4 - 1 : トランシーバインタフェース

#### 4.1.2 リセットの間の無線ポートの振る舞い

内部リセットがアクティブの間(クロックが動作していてもいなくても関係なく)、nRF2401トランシーバサブシステムを制御する無線の出力は、それぞれの既定値(RADIO.3 = 0 (CS), RADIO.6 = 0 (CE), RADIO.7 = 1 (PWR\_UP))に強制されます。プログラムの実行が始まったとき、プログラマが無線レジスタを書くことによって積極的に変更するまで、これらのポートはその既定のレベルが残ります。

## 4.2 動作モード

### 4.2.1 概略

nRF2401サブシステムは3本の制御ピンにより、下に示す主なモードに設定することができます。

Mode	PWR_UP	CE	CS
Active (RX/TX)	1	1	0
Configuration	1	0	1
Stand by	1	0	0
Power down	0	X	X

表 4 - 4 : nRF2401サブシステム 主なモード

#### 4.2.2 アクティブモード

nRF2401は2つのアクティブモード(送信/受信)を持っています:

- ・ ショックバースト(ShockBurst™)
- ・ ダイレクトモード (nRF24E1ではサポートされていません)

これらのモードにおける素子の機能性はコンフィギュレーションワードの内容によって決定されます。このコンフィギュレーションワードは設定の章で紹介されています。ダイレクトモードは、これが8051よりもっと強力なCPUを必要とするため、サポートされていないのでご注意ください。

#### 4.2.3 ShockBurst™

ShockBurst™はオンチップFIFO(First In First Out Memory)を介して低データ入力レート - 高データ送信レート(無線リンク)間をマネージメントし、送信時間を最小化することで消費電力をセーブすることができます。

ShockBurst™モードで使用する場合には高データレート(1Mbps)を実現するために高価な高速MCUを使用する必要はありません。

RFプロトコルに関連する高速信号処理をオンチップ化することによりnRF2401では以下のメリットをご提供します。

- ・ 電流消費の軽減
- ・ システムコスト低減 (低速・廉価なMCU使用が可能)
- ・ 転送時間短縮によるコリジョン・リスク(電波同士の衝突)を低減

nRF2401は使用するMCUの速度に合わせた3wire(SPI: Serial Programming Interface)を使用してプログラミングできます。

アプリケーションで使用するデジタル回路部の動作を低速にしつつ無線部のデータレートは最速化できるためアプリケーションでの平均電力消費を低減することが可能になります。

##### 4.2.3.1 ShockBurst™原理

nRF2401がShockBurst™モードに設定された場合、送信及び受信動作は以下のようになります。(10Kbpsはあくまで例示です。)

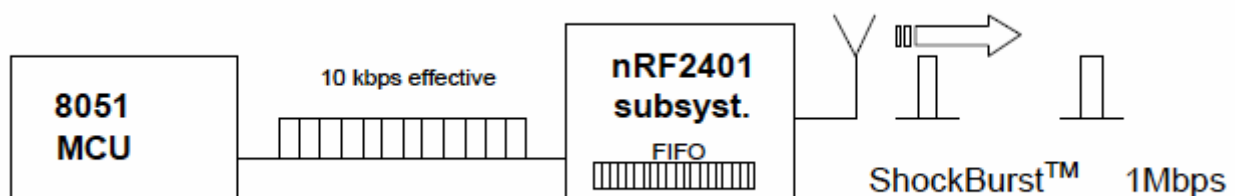


図 4 - 2 : CPUによる同期時系列のデータとショックバースト技術による送信



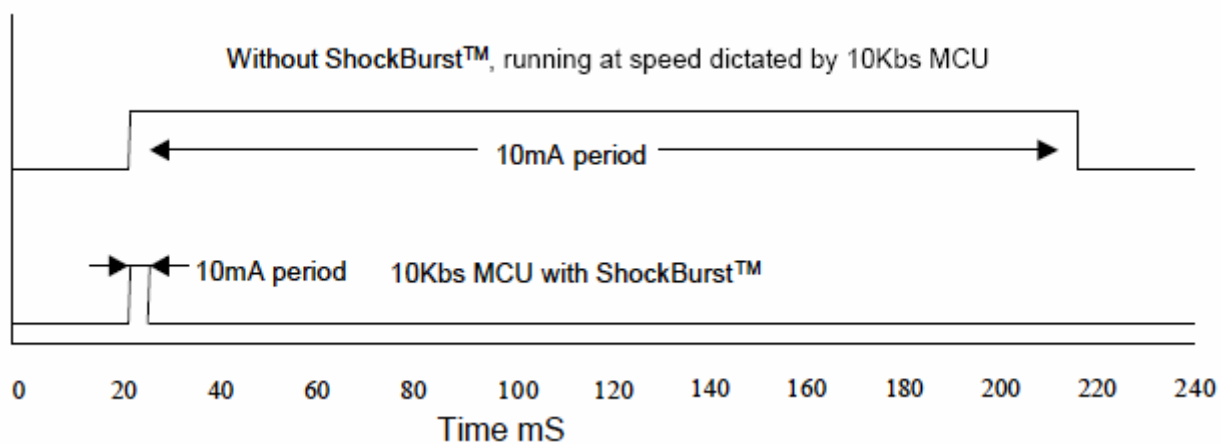


図 4 - 3 : ショックバースト技術を使ったときと使わなかったときの高周波消費電流

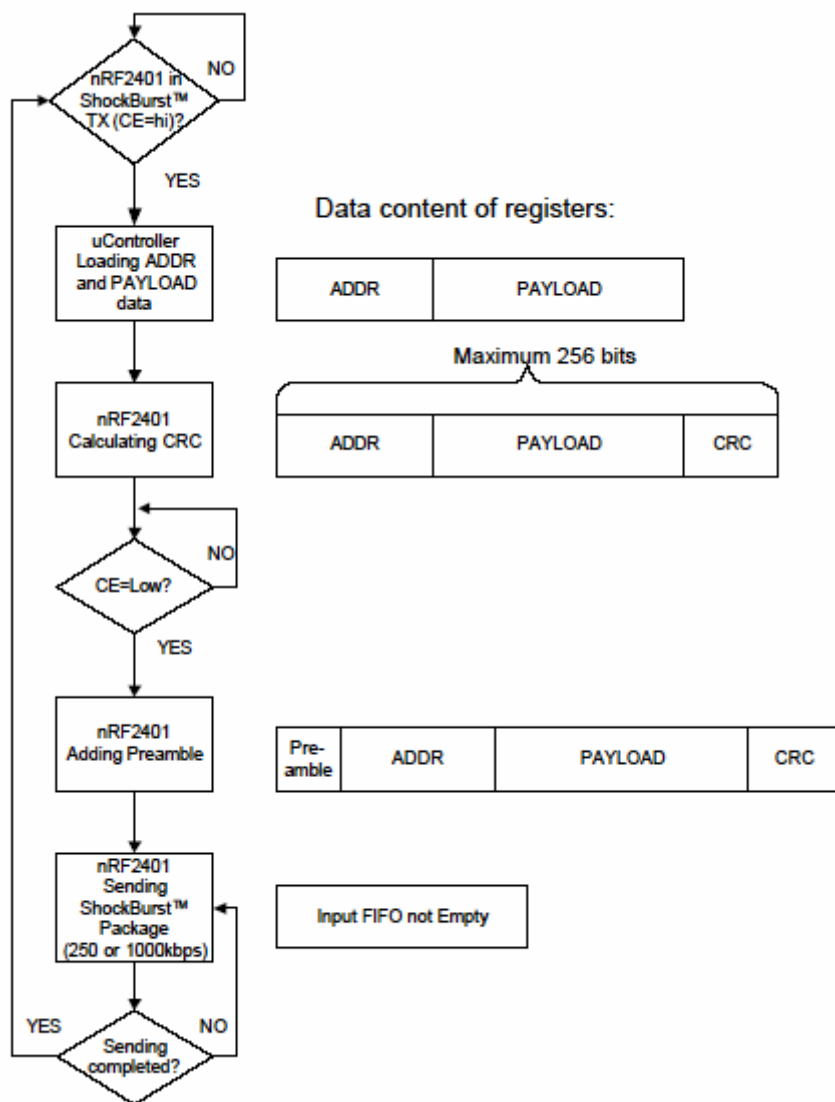


図 4 - 4 : nRF2401サブシステムのショックバースト送信のフローチャート

#### 4.2.3.2 ショックバースト送信:

##### 4.2.3.2.1 CPUインタフェースピン : CE,CLK1,DATA

1. MCUがデータを送信する場合、まずCE端子をHighにします。  
これによりnRF2401内部のデータ処理機能がアクティブになります。
2. 受信ノード用アドレス(RX address)及びペイロードデータをクロックに同期してnRF2401へ供給します。転送スピードあるいはアプリケーションプロトコルはMCUにより設定されます。  
( 1Mbps以下任意 )
3. ShockBurst™転送をアクティブにするために、MCUはCE端子をLowにします。
4. ShockBurst™転送動作
  - ・ RFフロントエンド部のPower Up
  - ・ RFパケットの準備( プリアンブル付加,CRC値計算)
  - ・ データ転送( ユーザ設定により250Kbpsあるいは1Mbps)

・ 転送終了後nRF2401はスタンバイモードへ

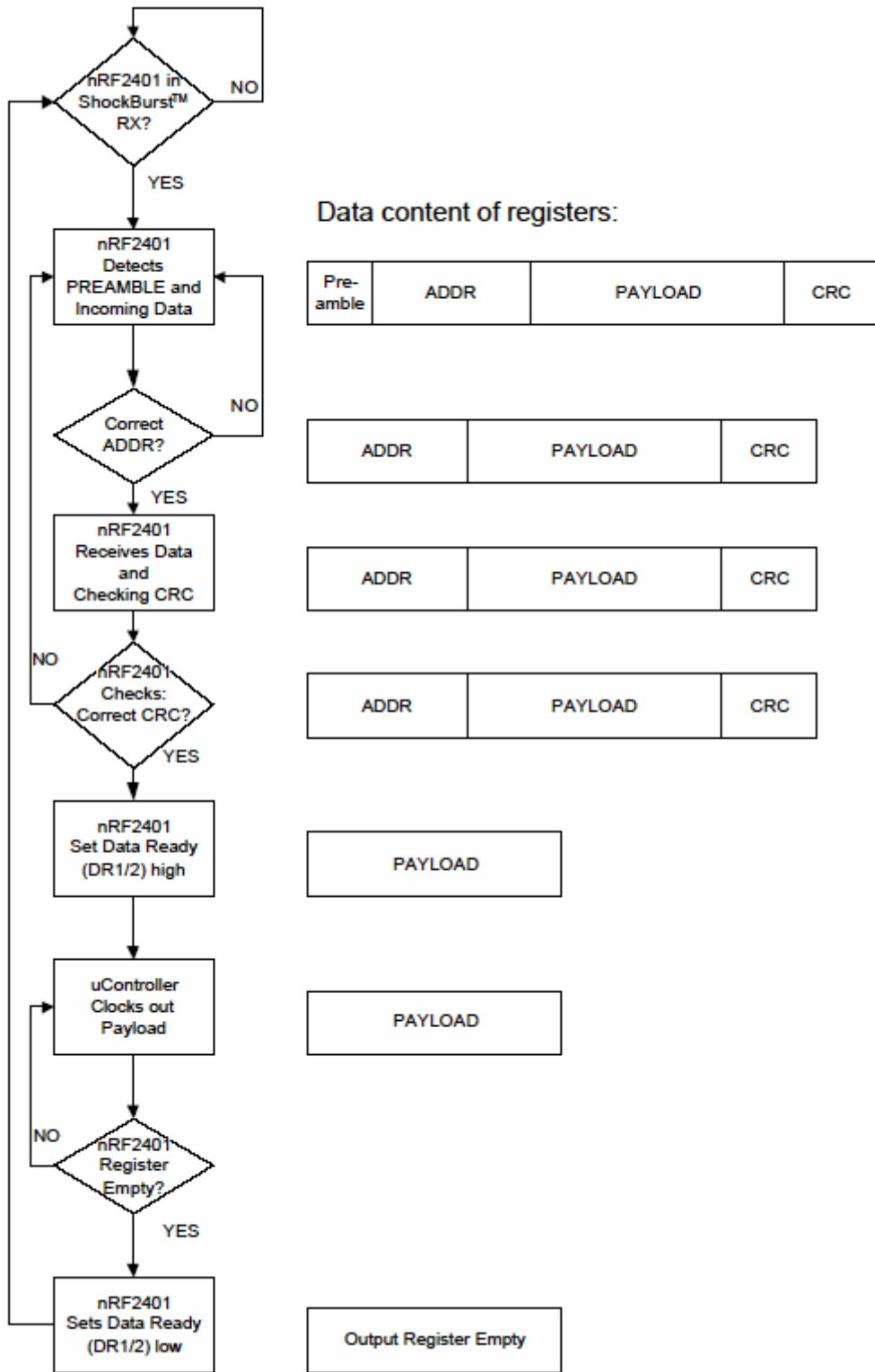


図 4 - 5 : nRF2401サブシステムのショックバースト受信のフローチャート

### 4.2.3.3 ショックバースト受信:

#### 4.2.3.3.1 CPUインタフェースピン : CE,DR1,CLK1,DATA (1チャンネル受信時)

1. ShockBurstTMRXモード時にnRF2401が受信するアドレスおよびペイロードデータサイズを設定します。
2. CE端子をHighとし、RXモードをアクティブにします。
3. 200  $\mu$ sの準備期間後、nRF2401は無線状態をモニタし始めます。
4. 有効なパケット(アドレス,CRC)受信時、nRF2401はプリアンブル,アドレス,CRCビットを取り除きます。
5. nRF2401はMCUに有効データの受信を知らせる(インタラプトする)ためにDR1をHighにします。
6. 省電力化の為にMCUはCE信号をLowにし、RFフロントエンドをPower Offすることも可能です。
7. MCUは適当なクロックをnRF2401へ出力し、FIFOデータを読み出します。(例: 10 kbps)
8. 全データが読み出されるとnRF2401はDR1信号をLowへ落とします。この時CE信号をHighのまま保てれば次のデータ受信が可能となります。CE信号がLowの場合、新しいスタートアップシーケンスを始めることが可能です。(図4 - 14参照)

### 4.2.4 DuoCeiverTM 2チャンネル同時受信モード

nRF24E01はShockBurstTMモードで、2チャンネル並列受信を最大データレートで提供することができます。

- ・ nRF2401は1つのアンテナを使用し、8MHz(8チャンネル)離れた2種類の1Mbps送信データ(2つのnRF2401あるいはnRF2402)を受信します。
- ・ 2チャンネル分の受信データは、それぞれ別のMCUインタフェースへ供給されます。
  - \* データチャンネル1: CLK1, DATA, DR1
  - \* データチャンネル2: CLK2, DOUT2, DR2

nRF2401のDuoCeiverTMは2つの独立したデータチャンネルを提供しますので、独立した受信システムを2つ用意する必要がありません。

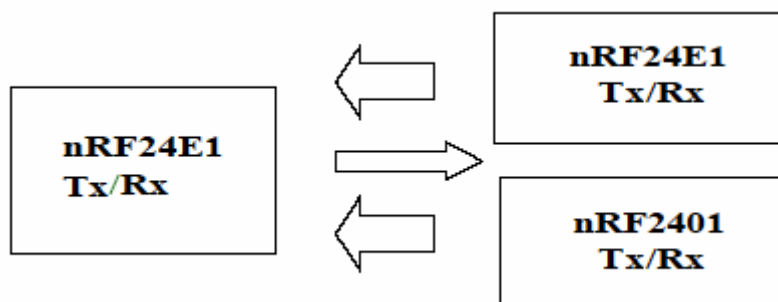


図 4 - 6 : nRF24E1の2チャンネル同時受信

2番目のデータチャンネルを使用する場合に絶対に守らなければならないことがあります。チャンネル2を使用する場合には、チャンネル1の周波数より8MHz上の周波数でなければならないという制限があり、nRF2401ではチャンネル1の受信周波数しかプログラムできないということです。この機能では時分割多重のような事は行っておりません。もし2データチャンネルのデータが時分割等でデータが送られているならば、MCUは同時に送られてくる2チャンネル分のデータを扱わなければなりません。ShockBurst™モードでは、MCU側が供給するクロックに同期してnRF2401がデータを送出し、片チャンネルずつデータを読み出すことができ、もう一方のチャンネルの受信を待たせることができます。(FIFOにバッファされているのでパケット喪失等の心配はありません。)この機能により使用するMCUにより自由度を持つことができます。

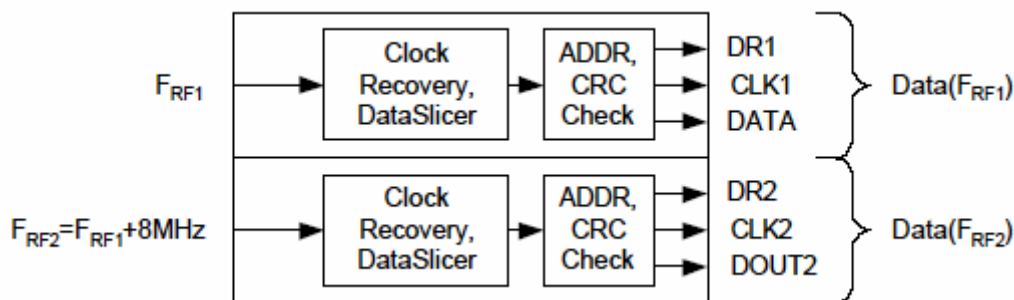


図 4 - 7 : 2つの同時、独立受信チャンネルによる DuoCeiver™

### 4.3 素子の設定

nRF2401の全て設定は3ワイヤ・インターフェース(CS, CLK1, DATA)で1種類のコンフィギュレーション・レジスタを設定することにより行われます。コンフィギュレーションワードは18バイトの長さまで可能です。コンフィギュレーションビット(DATA)はCS = 1の間、最上位ビットを初めとして、nRF2401サブシステムへ同期時系列的に(CLK1により)入れられなければなりません。わずか18バイトしかダウンロードされません。

#### 4.3.1 Shockburst™操作のための設定

ShockBurst™としてnRF2401を設定した場合、RFプロトコルはnRF2401自身が扱うこととなります。プロトコルを一旦設定した後に1byte ([7:0])でもコンフィギュレーションを変更した場合には動作中にアップデート動作が必要となります。

ShockBurst™モード専用のコンフィギュレーションは以下になります。

- ・ Payload section width: RFパッケージ内のペイロード部のビット数を指定します。受信パッケージのペイロード・データとCRCバイトを区別する目的で使われます。
- ・ Address width: RFパッケージでアドレスとして使用するビット数を指定します。アドレスとペイロードの区別に使用されます。
- ・ Address (RX Channel 1 and 2): 受信データのアドレスの区別に使用されます。
- ・ CRC: nRF2401内蔵のCRC生成/デコードをイネーブルします。

注)

CRCを除くこれらのコンフィギュレーションはnRF2401の受信RFパッケージでのみ有効です。

TXモードでは、MCUがアドレスやペイロードを受信側が受け取れる形で作成しなければなりません。

nRF2401内蔵のCRC機能を使用する場合、TX及びRXどちらも同じ長さを使用します。

PRE-AMBLE	ADDRESS	PAYLOAD	CRC
-----------	---------	---------	-----

図 4 - 8 : データパケット構成

#### 4.3.2 ダイレクトモード操作の設定

Directモードでのコンフィギュレーションワードは最初の2バイト(bit[15:0])設定で十分です。

### 4.3.3 コンフィギュレーションワード概観

	Bit position	Number of bits	Name	Function
ShockBurst™ configuration	143:120	24	TEST	Reserved for testing
	119:112	8	DATA2_W	Length of data payload section RX channel 2
	111:104	8	DATA1_W	Length of data payload section RX channel 1
	103:64	40	ADDR2	Up to 5 byte address for RX channel 2
	63:24	40	ADDR1	Up to 5 byte address for RX channel 1
	23:18	6	ADDR_W	Number of address bits (both RX channels).
	17	1	CRC_L	8 or 16 bit CRC
	16	1	CRC_EN	Enable on-chip CRC generation/checking.
General device configuration	15	1	RX2_EN	Enable two channel receive mode
	14	1	CM	Communication mode (Direct or ShockBurst™)
	13	1	RFDR_SB	RF data rate (1Mbps requires 16MHz crystal)
	12:10	3	XO F	Crystal frequency
	9:8	2	RF_PWR	RF output power
	7:1	7	RF_CH#	Frequency channel
	0	1	RXEN	RX or TX operation

表 4 - 5 : コンフィギュレーションワード表

コンフィギュレーションワードはCLK1の立ち上がりエッジに同期してMSBから順番にシフト入力されます。コンフィギュレーションの更新はCS信号の立ち下がりエッジで行われます。

注)

CS信号の立下りてnRF2401は、最近書き込みの行われたビット数(シフト数)分の更新を行います。

例:

nRF2401は2チャンネル受信のShock Burst™モードに設定する場合には、VDD投入後の最初の書き込みにおいて全部で120ビットを設定しなければなりません。一度設定を行えばRXとTXの切り替えは1ビット更新(RXEN)で行うことができます。

#### 4.3.4 コンフィギュレーションワードの詳細記述

以下にnRF2401の設定に使用する144ビット(bit 143 = MSB)の機能について説明します。

General Device Configuration: bit[15:0]

ShockBurst™ Configuration: bit[119:0]

Test Configuration: bit[143:120]

MSB	TEST							
D143	D142	D141	D140	D139	D138	D137	D136	
Reserved for testing								
1	0	0	0	1	1	1	0	Default

MSB	TEST															
D135	D134	D133	D132	D131	D130	D129	D128	D127	D126	D125	D124	D123	D122	D121	D120	
Reserved for testing															Close PLL in TX	
0	0	0	0	1	0	0	0	0	0	0	1	1	1	0	0	Default

DATA2_W								
D119	D118	D117	D116	D115	D114	D113	D112	
Data width channel 2 in # of bits excluding addr/crc								
0	0	1	0	0	0	0	0	Default

DATA1_W								
D111	D110	D109	D108	D107	D106	D105	D104	
Data width channel 1 in # of bits excluding addr/crc								
0	0	1	0	0	0	0	0	Default

ADDR2												
D103	D102	D101	...	D71	D70	D69	D68	D67	D66	D65	D64	
Channel 2 Address RX (up to 40bit)												
0	0	0	...	1	1	1	0	0	1	1	1	Default

ADDR1												
D63	D62	D61	...	D31	D30	D29	D28	D27	D26	D25	D24	
Channel 1 Address RX (up to 40bit)												
0	0	0	...	1	1	1	0	0	1	1	1	Default

ADDR_W						
D23	D22	D21	D20	D19	D18	
Address width in # of bits (both channels)						
0	0	1	0	0	0	Default

CRC		
D17	D16	
CRC Mode 1 = 16bit, 0 = 8bit	CRC 1 = enable; 0 = disable	
0	1	Default

RF-Programming	LSB
----------------	-----



D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
Two Ch.	BUF	OD	XO Frequency			RF Power		Channel selection						RXEN		
0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	Default

表 4 - 6 : コンフィギュレーションデータワード

コンフィギュレーションレジスタへはMSBから順番に入力しなければなりません。

デフォルト・コンフィギュレーションワード: h8E08.1C20.2000.0000.00E7.0000.0000.E721.0F04

#### 4.3.4.1 ShockBurstTM設定:

ビット[119:16]はShock BurstTMモード専用設定部分で構成されています。VDD投入後に設定したShock BurstTMモード設定はVDDが供給され続ける限り保持されます。動作中は最初の1バイトで周波数チャンネル及びRX/TXの切り替えを必要であれば変更します。

##### 4.3.4.1.1 PLL\_CTRL

PLL_CTRL		
D121	D120	PLL
0	0	Open TX/Closed RX
0	1	Open TX/Open RX
1	0	Closed TX/Closed RX
1	1	Closed TX/Open RX

表 4 - 7 : PLL 設定

bit [ 121:120 ]

PLL\_CTRL: テスト時のPLL設定を制御します。closed PLL設定のTXではデビエーションは起こりません。

##### 4.3.4.1.2 DATAx\_W

DATA2_W							
119	118	117	116	115	114	113	112

DATA1_W							
111	110	109	108	107	106	105	104

表 4 - 8 : ペイロードのビット数

bit [ 119:112 ]

DATA2\_W: 受信チャンネル2用RFパッケージ・ペイロード長

bit [ 111:104 ]

DATA1\_W: 受信チャンネル1用RFパッケージ・ペイロード長

(注)

ShockBurstTMモードでのRFパッケージ全体のビット長は256ビットを超えてはいけません。

ペイロード部の長さは以下の計算により求められます。

$$DATAx\_W \text{ (bits)} = 256 - ADDR\_W \text{ CRC}$$

- ・ ADDR\_W: コンフィギュレーション・ワードbit [ 23:18 ]で指定するRXアドレス長
- ・ CRC: コンフィギュレーション・ワードbit [ 17 ]で指定する8ビットか16ビットのチェックサム

・ PRE: 自動的にインサートされる4ビットか8ビットのプリアンブルアドレスを短くしCRCを使わなければ各パッケージのペイロード・データ長に余裕ができます。

#### 4.3.4.1.3 ADDR<sub>x</sub>

ADDR2											
103	102	101	....	71	70	69	68	67	66	65	64

ADDR1											
63	62	61	....	31	30	29	28	27	26	25	24

表 4 - 9 : 受信機2と受信機1のアドレス

bit [ 103:64 ] :

ADDR2: チャンネル2・レシーバ・アドレスの指定。最大40ビット。

bit [ 63:24 ] :

ADDR1: チャンネル1・レシーバ・アドレスの指定。最大40ビット。

(注)

ADDR\_Wで設定したアドレス長を超えるADDR<sub>x</sub>のビットは冗長部となり、ロジック0に設定することができます。

#### 4.3.4.1.4 ADDR\_W & CRC

ADDR_W						CRC_L	CRC_E N
23	22	21	20	19	18	17	16

表 4 - 10 : RXアドレス + CRC設定のため予約されているビット数

bit [ 23:18 ]

ADDR\_W: Shock Burst<sup>TM</sup>レシーバ・アドレスビット数の指定。

(注)

最大アドレス長は40ビット(5 byte)。ADDR\_Wでの40ビット以上の設定は無効です。

bit [ 17 ]

CRC\_L: Shock Burst<sup>TM</sup>時に計算されるCRC長の指定。

- ・ ロジック 0: 8bit CRC
- ・ ロジック 1: 16bit CRC

bit [ 16 ]

CRC\_EN: CRC生成(TX)及びCRC検証(RX)の有効・無効設定。

- ・ ロジック 0 : ディセーブル
- ・ ロジック 1 : イネーブル

(注)

8ビットCRCを使用することでペイロード部の長さは稼げますが、システムとして強度が落ちることを考慮ください。

#### 4.3.4.2 高周波全般設定

この項ではRF及びデバイスに関連するパラメータを設定するコンフィギュレーションワードについて説明します。

##### 4.3.4.2.1 Mode: (RF部動作設定)

RX2_EN	CM	RFDR_SB	XO_F			RF_PWR	
15	14	13	12	11	10	9	8

表 4 - 11 : 高周波操作設定

bit [ 15 ]

RX2\_EN:

- ・ ロジック0 : 1チャンネル受信
- ・ ロジック1 : 2チャンネル受信

(注)

2チャンネル受信設定時、nRF2401は別々の2周波数チャンネルを同時に受信します。受信チャンネル1はコンフィギュレーションワード bit [ 7:1 ]により設定され、受信チャンネル2は常にチャンネル1周波数の8チャンネル(8MHz)上になります。

bit [ 14 ]

Communication Mode:

- ・ ロジック0 : ダイレクトモード動作
- ・ ロジック1 : ShockBurstTM動作

bit [ 13 ]

RF Data Rate:

- ・ ロジック0 : 250Kbps
- ・ ロジック1 : 1Mbps

(注)

1Mbpsの代わりに250Kbpsを使用する場合、受信感度は10dB向上します。1Mbps動作には16MHz クリスタルが必要です。

bit [ 12:10 ]

XO\_F: 使用クリスタルの選択。

XO Frequency Selection			
D12	D11	D10	Crystal Frequency [MHz]
0	0	0	4
0	0	1	8
0	1	0	12
0	1	1	16
1	0	0	20

表 4 - 12 : 水晶周波数設定

表14 - 2:nRF24E1の水晶仕様もあわせてご覧ください。

bit [ 9:8 ]

PF\_PWR: nRF2401送信出力の設定

RF Output Power		
D9	D8	P [dBm]
0	0	-20
0	1	-10
1	0	-5
1	1	0

表 4 - 13 : 高周波出力電力設定

#### 4.3.4.2.2 高周波チャンネルと方向

RF_CH#							RXEN
7	6	5	4	3	2	1	0

表 4 - 14 : 周波数チャンネルと受信 / 送信設定

bit [ 7:1 ]

RF\_CH#: nRF2401使用周波数チャンネルの設定。

送信チャンネル周波数:

$$Channel_{RF} = 2400 MHz + RF\_CH# \cdot 1.0 MHz$$

(RF\_CH#: 2400MHz ~ 2527MHz間)

受信チャンネル1周波数:

$$Channel_{RF} = 2400 MHz + RF\_CH# \cdot 1.0 MHz$$

(RF\_CH#: 2400MHz ~ 2524MHz間)

(注)

83Ch以上については国により使用が可能(例:日本)

受信チャンネル2周波数:

$$Channel_{RF} = 2400 MHz + RF\_CH# \cdot 1.0 MHz + 8MHz \text{ (Receive at PIN\#4)}$$

(RF\_CH#: 2408MHz ~ 2524MHz間)

bit [ 0 ]

アクティブモード設定:



- ・ ロジック0 : 送信モード
- ・ ロジック1 : 受信モード

## 4.4 データパッケージの説明

PRE-AMBLE	ADDRESS	PAYLOAD	CRC
-----------	---------	---------	-----

図 4 - 9 : データパッケージ図

Shock Burst™、ダイレクトモードのどちらの場合でも通信は以下の4つの部分に分割することができます。

<b>1. PREAMBLE</b>	<ul style="list-style-type: none"> <li>The preamble field is required in ShockBurst™ and Direct modes.</li> <li>Preamble is 8 bits in length and is dependent of the first address bit.  <table border="0" style="margin-left: 20px;"> <tr> <td>PREAMBLE</td> <td>1<sup>st</sup> ADDR-BIT</td> </tr> <tr> <td>01010101</td> <td>0</td> </tr> <tr> <td>10101010</td> <td>1</td> </tr> </table> </li> <li>Preamble is automatically added to the data packet in ShockBurst™ and thereby gives extra space for payload. In Direct mode MCU must handle preamble.                      In ShockBurst™ mode RX, the preamble is removed from the received output data, in direct mode the preamble is transparent to the output data.                 </li> </ul>	PREAMBLE	1 <sup>st</sup> ADDR-BIT	01010101	0	10101010	1
PREAMBLE	1 <sup>st</sup> ADDR-BIT						
01010101	0						
10101010	1						
<b>2 ADDRESS</b>	<ul style="list-style-type: none"> <li>The address field is required in ShockBurst™ mode.<sup>4</sup></li> <li>8 to 40 bits length.</li> <li>Address automatically removed from received packet in ShockBurst™ mode. In Direct mode MCU must handle address.</li> </ul>						
<b>3 PAYLOAD</b>	<ul style="list-style-type: none"> <li>The data to be transmitted</li> <li>In ShockBurst™ mode payload size is 256 bits minus the following: (Address: 8 to 40 bits. + CRC 8 or 16 bits).</li> <li>In Direct mode the maximum packet size (length) is for 1Mbps 4000 bits (4ms).</li> </ul>						
<b>4 CRC</b>	<ul style="list-style-type: none"> <li>The CRC is optional in ShockBurst™ mode, and is not used in Direct mode.</li> <li>8 or 16 bits length</li> <li>The CRC is removed from the received output data in ShockBurst™ RX.</li> </ul>						

表 4 - 15 : データパッケージ説明

注) ShockBurst™のアドレス使用に関するご提案:一般的にアドレスのビットが多い方が検出の失敗が減り、結果的にデータパケットロスが低くなります。

- A. パケットエラーレートが上昇するので、アドレスを(5、4、3、または2個の)同じバイトで構成することはお勧めできません。
- B. レベル変化が1度だけのアドレス(例えば0x000FFFFFFF)はしばしば雑音中に検出され、誤検出となり、それがまたパケットエラーレートを上げます。
- C. プリアンブルの一部と解釈され、残りのアドレスでアドレス不整合の元になりますので、アドレスの最初のバイトは0x55... または0xAA... で始めてはいけません。

## 4.5 重要な高周波タイミングのデータ

以下のタイミングはnRF2401動作に使用されます。

### 4.5.1 nRF2401 サブシステムタイミング情報

nRF2401 subsystem timing	Max.	Min.	Name
PWR_DWN → Configuration ST_BY mode	3ms		Tpd2sby
PWR_DWN → Active mode (RX/TX)	3ms		Tpd2a
ST_BY → TX ShockBurst™	195μs		Tsby2txSB
ST_BY → RX mode	202μs		Tsby2rx
Minimum delay from CS to data.		5μs	Tcs2data
Minimum delay from CE to data.		5μs	Tce2data
Minimum delay from DR1/2 to clk.		50ns	Tdr2clk
Maximum delay from clk to data.	50ns		Tclk2data
Delay between edges		50ns	Td
Setup time		500ns	Ts
Hold time		500ns	Th
Delay to finish internal GFSK data		1/data rate	Tfd
Minimum input clock high		500ns	Thmin

表 4 - 15 : nRF2401サブシステムの操作上のタイミング

nRF2401がpower downからコンフィギュレーションあるいはアクティブモードに移行する前には常にTpd2sbyの時間が必要です。( max: 3ms )

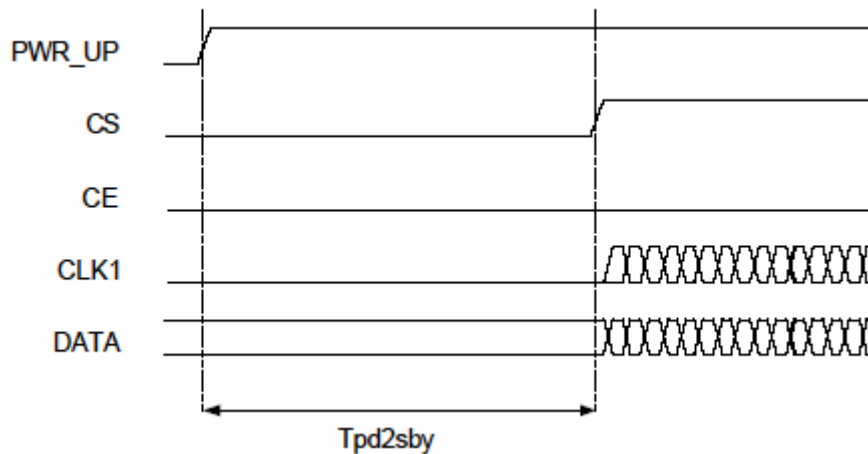


図 4 - 10 : nRF2401サブシステムのパワダウン(またはVDDオフ)から設定モードに至るタイミング

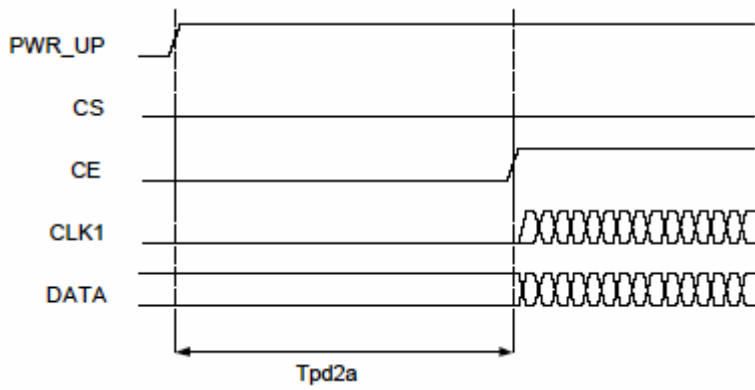


図 4 - 11 : パワダウン(またはVDDオフ)からアクティブモード

コンフィギュレーションワードの内容はVDDを落とすと消失します。その場合再設定し直さなければならないことにご注意してください。

注)

CE信号とCS信号は同時にHighにしてはいけません。片方を設定か他の要素によりコンフィギュレーションかアクティブモードに入るかが決定されます。

### 4.5.2 設定モードタイミング

コンフィギュレーションワードを変更する場合のタイミングは以下になります。

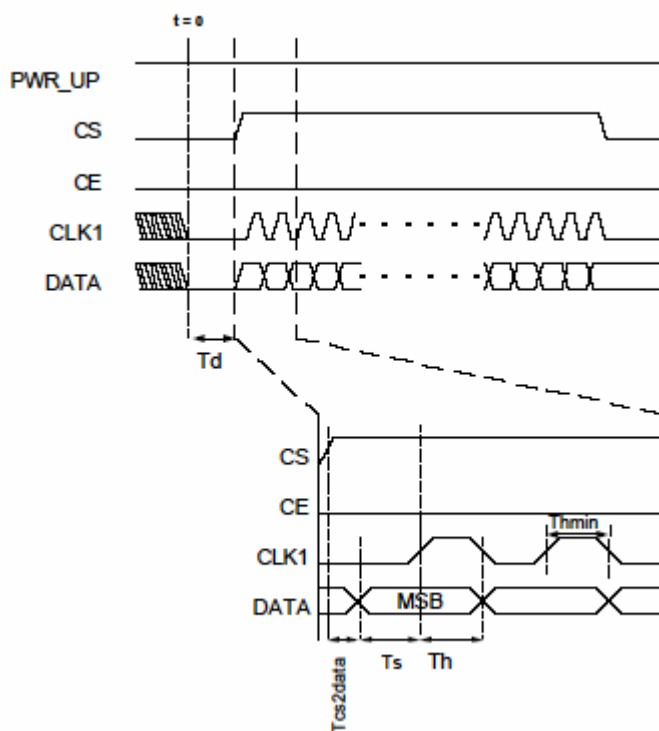


図 4 - 12 : nRF2401サブシステムの設定のタイミング図

power downからコンフィギュレーションモードへ移行する場合は図4 - 10に示すようにTpd2sby時間後にCS信号をHighにすることでコンフィギュレーションモードへ移行できます。

### 4.5.3 ShockBurst™ モードタイミング

ShockBurst™ 送信:

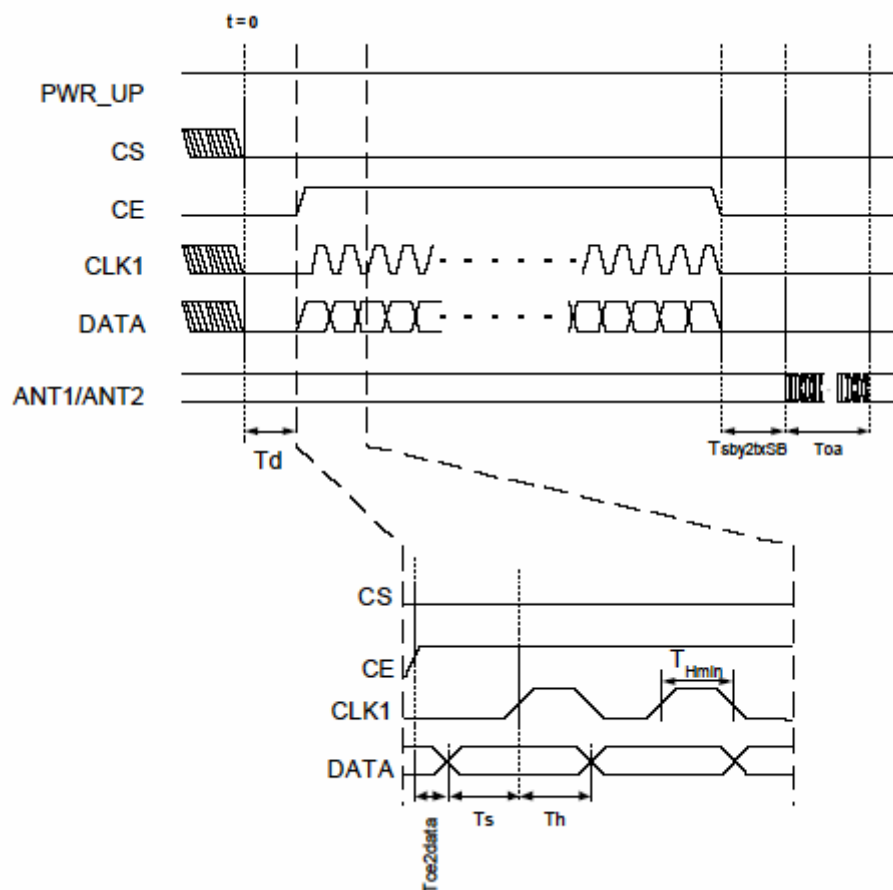


図 4 - 13 : 送信時におけるShockBurst™のタイミング

パッケージ長及びデータレートは、下記式の如くToa( time on air)として与えられます。databitsは追加されるであろうCRCとプリアンブルを含んだ全てのビット数です。

$$T_{OA} = 1 / \text{datarate} \cdot (\# \text{databits} + 1)$$

ShockBurst™ 受信:

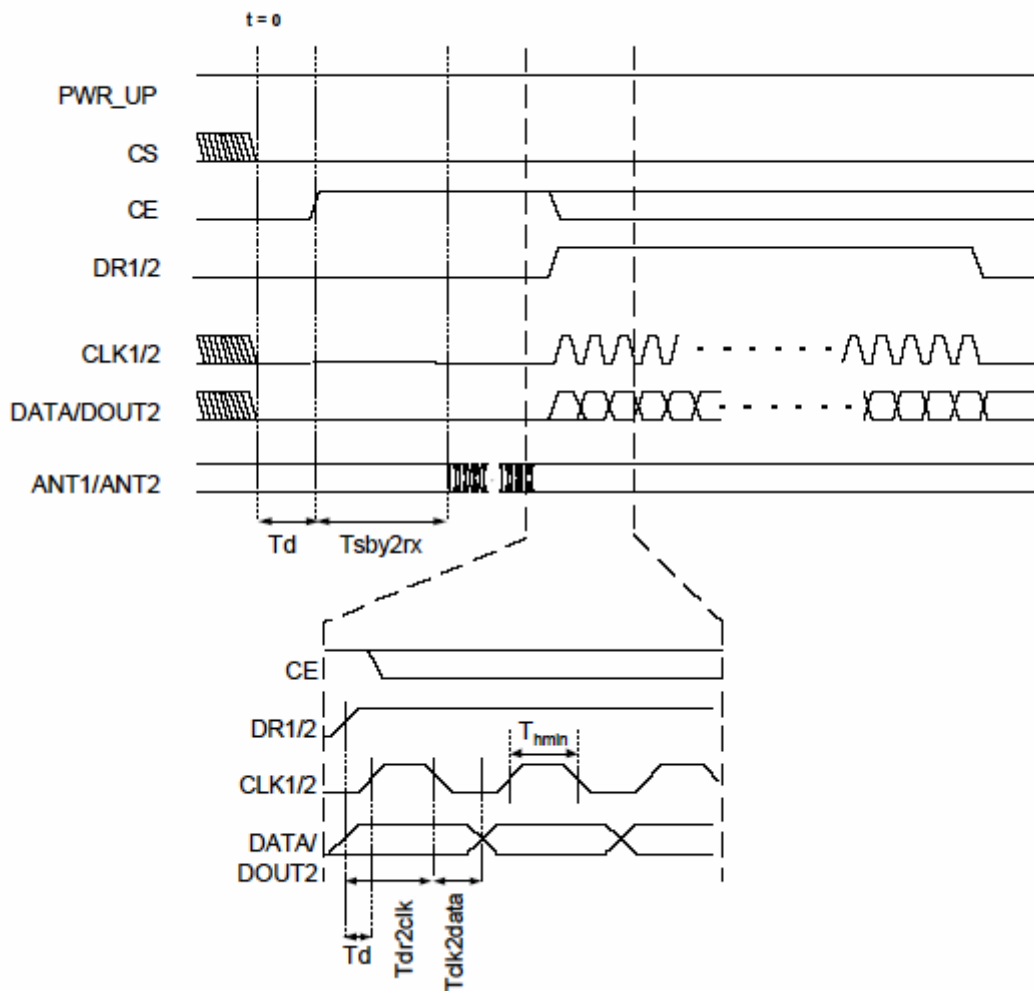


図 4 - 14 : 受信時における ShockBurst™ のタイミング

データ・ダウンロード時(受信時)CE信号はロジックHighレベルを保持しますが電流消費が大きく(1.9mA)なります。利点としてはDR1信号がlowになった後のスタートアップ時間(200  $\mu$ s)が不要であることです。

## 5 A/Dコンバータ

ADコンバータサブシステムは、ナイキストレートで使うとき、10ビットのダイナミックレンジと直線性を持ちます。さらに低い周波数と後のフィルタで、12ビットまでの分解能が可能です。ADコンバータのリファレンスは、AREF入力と内蔵の1.22Vのバンドギャップリファレンスが選択可能です。

コンバータの初期設定は10ビットです。特別な要求でADコンバータは6,8,10または12ビット変換に設定することができます。コンバータはAIN0を反転入力、他の7つの外部入力のうちの1つを非反転入力として、差動モードとしても使うことができます。差動モードのとき、SN比が少し改善(例えば10ビット変換時、2dB)することが期待できます。

ADコンバータは4つのレジスタを経由して、マイクロコントローラと接続されています。ADCCON(0xA1)はチャンネルとリファレンスの選択のような、最も一般的な制御機能を含んでいます。ADCSTATIC(0xA4)は、nRF24E1の用途では普通変更されることのない、まれに使用される制御機能を含んでいます。結果の高位部分はADCDATAH(0xA2)で利用でき、一方でADCDATA L(0xA3)は結果の下位部分(もしあれば)と、変換の終了をともにオーバフローステータスビットを保持します。

完全なADサブシステムはNPDビット(ADCCON.5)をクリアすることにより電源を切ることができます。ADコンバータは普通、CPUクロックを32分周したクロック(125から625kHz)で動作し、クロックサイクルごとに2ビットの結果を取り出します。



## 5.1 A/Dコンバータサブシステムのブロック図

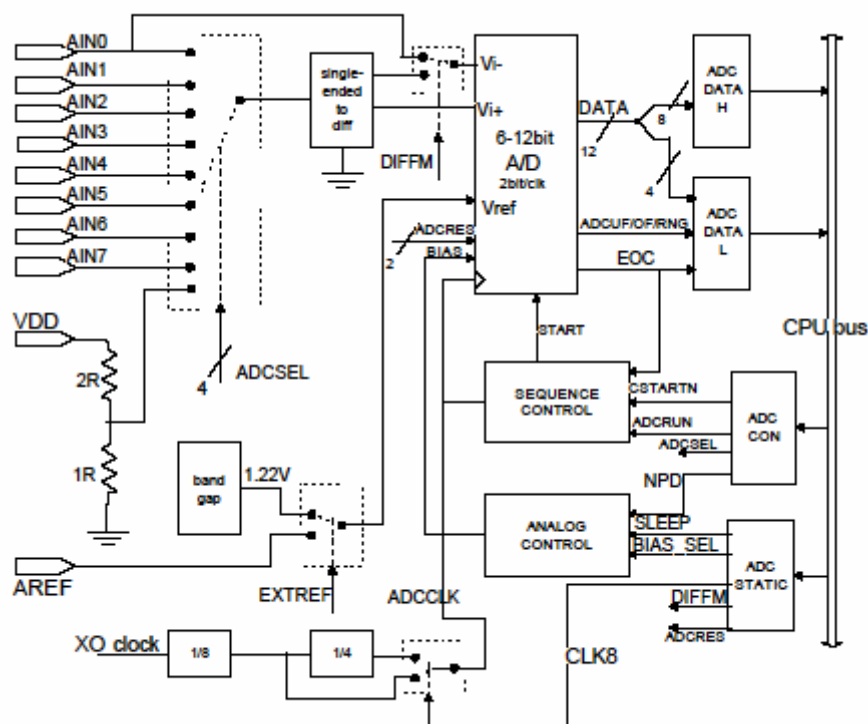


図 5 - 1 : A/Dコンバータのブロック図

## 5.2 A/Dコンバータのレジスタ

### 5.2.1 ADCCONレジスタ, SFR 0xA1

Bit(s)	Name	Function
7	CSTARTN	Toggle H -> L -> H to start A/D conversion. This bit is internally synchronized to the ADC clock Ignored if ADCRUN is set..
6	ADCRUN	Set to have the A/D converter run continuously CSTARTN is ignored in this case
5	NPD	Set to 0 to put A/D converter in power down state
4	EXTREF	Select reference for A/D converter 0: Use internal band gap reference (nominally 1.22V) 1: Use external pin AREF for reference Ignored if ADCSEL=8.
3 - 0	ADCSEL	Select input AIN0 to AIN7 ADCSEL=8 will select internal VDD/3, and also automatically select internal bandgap reference For n=0..7, ADCSEL=n will select input pin AINn

表 5 - 1 : ADCCONレジスタ、SFR 0xA1、データの初期値は0x80です。

### 5.2.2 ADCSTATICレジスタ、SFR 0xA4

Bit(s)	Name	Function
7	DIFFM	Enable differential measurements, AIN0 must be used as inverting input and one of the other inputs AIN1 to AIN7, as selected by ADCSEL, must be used as noninverting input.
6	SLEEP	Set A/D converter in a reduced power mode
5	CLK8	0 : ADCCLK frequency = CPU clock divided by 32 1 : ADCCLK frequency = CPU clock divided by 8
4-2	ADCBIAS	Control A/D converter bias current No need to change for nRF24E1 operation
1-0	ADCRES	Select A/D converter resolution 00: 6-bit, result in ADCDATAH.5-0 01: 8-bit, result in ADCDATAH 10: 10-bit, result in ADCDATAH,ADCDATAL.7-6 11: 12-bit, result in ADCDATAH,ADCDATAL.7-4

表 5 - 2 : ADCSTATICレジスタ、SFR 0xA4、データの初期値は0x0Aです。

### 5.2.3 ADCDATAHレジスタ、SFR 0xA2

Bit(s)	Name	Function
7-0	ADCDATAH	Most significant 8 bits of A/D converter result. For 6-bit conversions ADCDATAH.7-6 is '00'

### 5.2.4 ADCDATALレジスタ、SFR 0xA3

Bit(s)	Name	Function
7-4	ADCDATAL	Least significant part of A/D converter result when resolution is 12 or 10 bits, leftjustified. For 10-bit conversions ADCDATAH.5-4 is '00'
3		not used
2	ADCUF	Underflow in conversion. Data is all 0's
1	ADCOF	Overflow in conversion. Data is all 1's
0	ADCRNG	Overflow or underflow in conversion (ADCUF   ADCOF)

表 5 - 3 : ADCデータSFRレジスタ、SFR 0xA2と0xA3

## 5.3 A/Dコンバータの使用法

### 5.3.1 変換の終了

ADC\_EOC信号はEXIF.4ビット(割り込み2フラグ)で得られ、A/Dコンバータによって変換(シングルステップまたは連続)が完了すると1にセットされます。表7-4: EXIFレジスタ-SFR 0x91を参照してください。ADC\_EOCのタイミングは図5-3と図5-4を見てください。

### 5.3.2 外部リファレンスを用いた測定

EXTREF(ADCCON.4)が1にセットされ、そしてADCSEL(ADCCON3-0)が入力AIN<sub>i</sub>(すなわちAIN<sub>0</sub>からAIN<sub>7</sub>)を選択しているとき、ADCDATAの結果は、選択された入力の電圧とAREFピンの電圧の比に直接比例します。

$$\text{AIN}_i \text{ voltage} = \text{AREF voltage} * \text{ADCDATA} / 2^{**N}$$

ここでNはADCRES(ADCSTATIC.1-0)でセットされたビット数であり、ADCDATAはADCDATAHの(N > 8の場合、ADCDATA Lも)結果のビットです。

差動計測には等価式が当てはまります:

$$(\text{AIN}_i - \text{AIN}_0)\text{voltage} = \text{AREF voltage} * (\text{ADCDATA} - 2^{**(N-1)}) / 2^{**N}$$

このモードの操作は普通、下の図5-2に示すように、ソースが供給電圧(またはその他の可変電圧)によって電圧が決まるときに選択されます。抵抗R1は最大VDD電圧でAREF = 1.5Vを保つよう選ばれます。

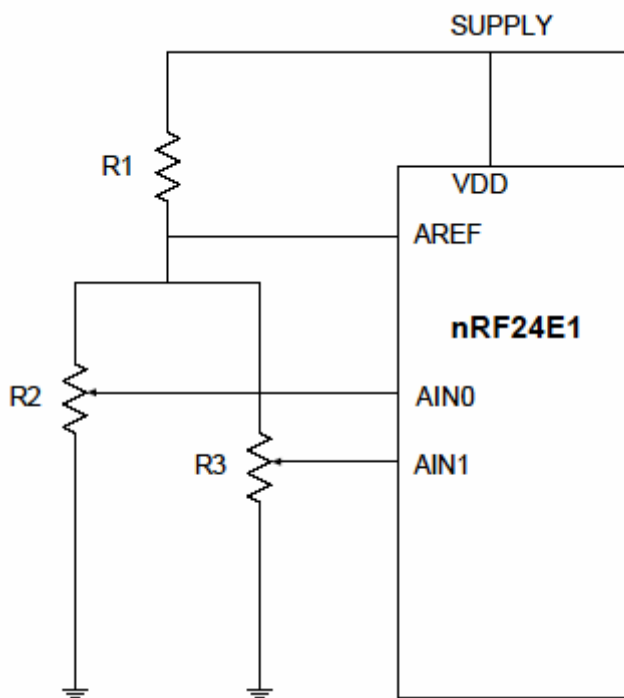


図 5 - 2 : 2つの供給電圧に比例した入力のア/Dの典型的な使用法

### 5.3.3 内部リファレンスによる測定

EXREF(ADCCON.4)が0に設定され、そしてADCSEL(SDCCON.3-0)が入力AIN<sub>i</sub>(すなわちAIN0からAIN7)を選択しているとき、ADCDATAの結果は、選択された入力の電圧と内部バンドギャップリファレンス(通常1.22V)の比に直接比例します。

**if single ended input :**  $AIN_i \text{ voltage} = 1.22 \text{ V} * ADCDATA / 2^{**N}$

**if differential input :**  $(AIN_i - AIN_0) \text{ voltage} = 1.22 \text{ V} * (ADCDATA - 2^{**(N-1)}) / 2^{**N}$

ここでNはADCRES(ADCSTATIC.1-0)でセットされたビット数であり、ADCDATAはADCDATAHの(N > 8の場合、ADCDATA Lも)結果のビットです。

このモードの操作は普通、ソースが供給電圧によって電圧が決まらないときに選択されます。

### 5.3.4 供給電圧測定

ADCSEL(ADCCON.3 - 0)が8に設定されているとき、ADCは内部バンドギャップリファレンス(通常1.22V)を使い、そして入力はVDDピンの電圧の1/3になります。ADCDATAの結果はこのようにVDD電圧に直接比例します。

$$\text{VDD voltage} = 3.66 \text{ V} * \text{ADCDATA} / 2^{**N}$$

ここでNはADCRES(ADCSTATIC.1 - 0)でセットされたビット数であり、ADCDATAはADCDATAHの(N > 8の場合、ADCDATA Lも)結果のビットです。

## 5.4 A/Dコンバータのタイミング

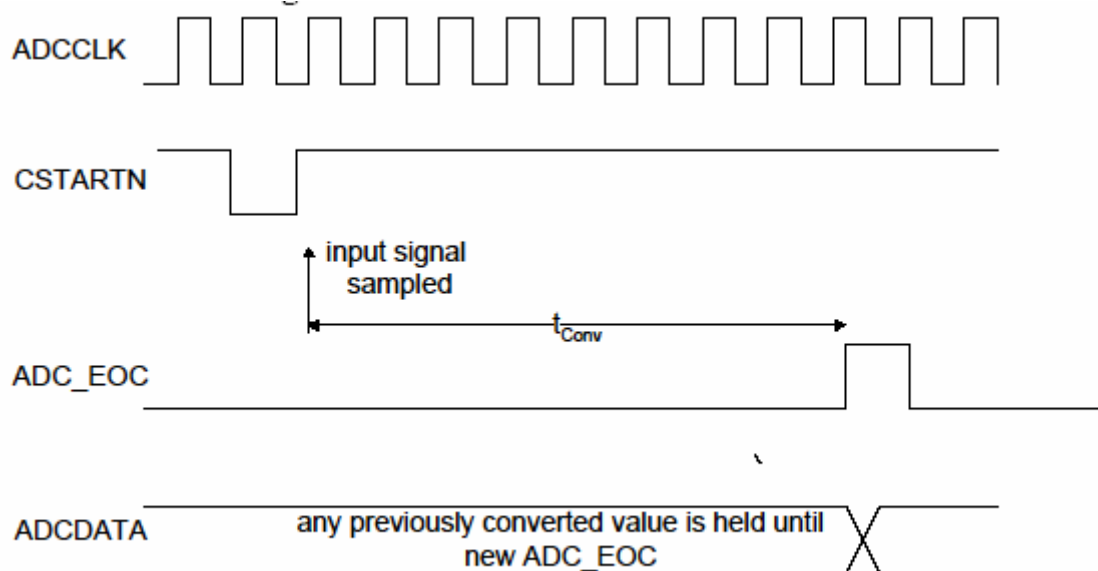


図 5 - 3 : シングルステップ変換のタイミング図

ADCRUN = 0のとき、変換はCSTARTNがハイになった後のADCCLKの立ち上がりで始まります。ADC DATAバスに変換値が有効になった時、ADC\_EOCにパルスが発生します。

変換時間 $t_{Conv}$ は分解能に依存し、Nが分解能のビット数としますと、 $t_{Conv} = N / 2 + 3$ クロックサイクルになります。図は10ビット変換を示しています。CSTARTNパルスの最小幅は1クロックサイクルです。前の変換が終わる前にCSTARTNパルスが来ると、前の変換は中断します。

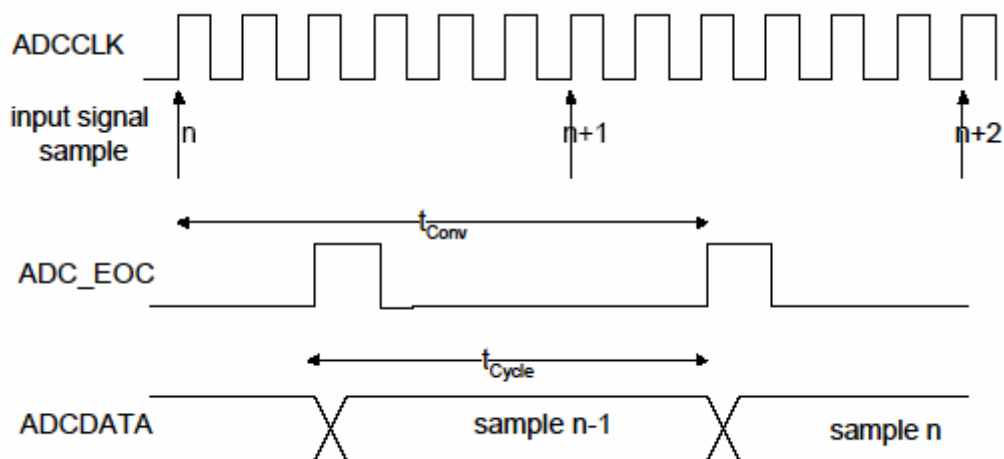


図 5 - 4 : 連続モード変換のタイミング図

ADCRUN = 1 のとき、CSTARTNは無視されます。サイクル時間  $t_{Cycle}$  はそれぞれの変換の間の時間になります。N が分解能のビット数のとき、 $t_{Cycle} = N / 2 + 1$  クロックサイクルになります。図は 10 ビット変換を示しています。

## 5.5 アナログインタフェースのガイドライン

アナログ入力の入力インピーダンスはなるべく 100 - 1000 オームの範囲内に、そしていかなる場合でも 10 キロオーム以下にしなければいけません。入力の小さなコンデンサ (例えば 200 pF) はデカップリングのため推奨します。使用例として図 15 - 1 も参照してください。

もしAIN入力が選択されたリファレンス電圧を超えた場合、ADCはクリップし、結果は最大値になります。AINのどれも、絶対最大電圧は 2.0 V です。

## 6 PWM

nRF24E1のPWM出力は、2つのレジスタインターフェースを持った1チャンネルPWMです。最初のレジスタPWMCONはPWM機能と、下の表に示すように1PWM周期のクロックサイクル数で、PWM周期の長さを有効にします。他のレジスタPWMDUTYはPWM出力信号のデューティサイクルを制御します。このレジスタが書かれたとき、PWM信号は即座に新しい値に変更されます。これは1PWM周期の中で4回の推移が可能ですが、推移期間は古いサンプルと新しいサンプルの間の「直流値」を常に取ります。

表は2つのPWM SFRレジスタでPWM周波数(または周期長さ)とPWMデューティサイクルがどのように制御されるか示しています。水晶周波数が16MHzのとき、PWM周波数範囲は大体1 - 253kHzになります。

PWMCON[7:6]	PWM frequency	PWMDUTY (duty cycle)
00	0 (PWM module inactive)	0
01	$f_{XO} \cdot \frac{1}{63 \cdot (PWMCON[5:0] + 1)}$	$\frac{PWMDUTY[5:0]}{63}$
10	$f_{XO} \cdot \frac{1}{127 \cdot (PWMCON[5:0] + 1)}$	$\frac{PWMDUTY[6:0]}{127}$
11	$f_{XO} \cdot \frac{1}{255 \cdot (PWMCON[5:0] + 1)}$	$\frac{PWMDUTY}{255}$

PWMはSFR 0xA9と0xAAで制御されます。

Addr SFR (hex)	R/W	#bit	Init (hex)	Name	Function
A9	R/W	8	0	PWMCON	PWM control register 7-6: Enable / period length select 00: Disable PWM 01: Period length is 6 bit 10: Period length is 7 bit 11: Period length is 8 bit 5-0: PWM frequency prescale factor (see table above)
AA	R/W	8	0	PWMDUTY	PWM duty cycle (6 to 8 bits according to period length)

表 6 - 1 : PWM制御レジスタ SFR 0xA9と0xAA

## 7 割り込み

nRF24E1は以下の割り込みソースをサポートしています。

Interrupt signal	Description
INT0_N	External interrupt, active low, configurable as edge-sensitive or level-sensitive, at Port P0.3
TF0	Timer 0 interrupt
INT1_N	External interrupt, active low, configurable as edge-sensitive or level-sensitive, at Port P0.4
TF1	Timer 1 interrupt
TF2 or EXF2	Timer 2 interrupt
TI or RI	Receive/transmit interrupt from Serial Port
int2	Internal ADC_EOC (end of AD conversion) interrupt
int3	Internal SPI_READY interrupt
int4	Internal RADIO.DR1 interrupt (a packet is ready from receiver 1)
int5	Internal RADIO.DR2 interrupt (a packet is ready from receiver 2)
wdti	Internal RTC wakeup timer interrupt

表 7 - 1 : nRF24E1の割り込みソース

### 7.1 割り込みSFR

次のSFRは割り込み制御と関連しています。

- IE – SFR 0xA8 (Table 7-2)
- IP – SFR 0xB8 (Table 7-3)
- EXIF – SFR 0x91 (Table 7-4)
- EICON – SFR 0xD8 (Table 7-5)
- EIE – SFR 0xE8 (Table 7-6)
- EIP – SFR 0xF8 (Table 7-7)

IEとIP SFRは、業界標準の8051同様に、割り込みの有効と標準的な割り込み単位の優先順位の制御を備えます。EXIF, EICON, EIE, EIPレジスタはフラグ、イネーブル制御、そして拡張割り込み単位の優先順位制御を備えます。

表7 - 2はIEレジスタのビット機能を説明しています。

Bit	Function
IE.7	EA - Global interrupt enable. Controls masking of all interrupts. EA = 0 disables all interrupts (EA overrides individual interrupt enable bits). When EA = 1, each interrupt is enabled or masked by its individual enable bit.
IE.6	Reserved. Read as 0.
IE.5	ET2 - Enable Timer 2 interrupt. ET2 = 0 disables Timer 2 interrupt (TF2). ET2 = 1 enables interrupts generated by the TF2 or EXF2 flag.



IE.4	ES - Enable Serial Port interrupt. ES = 0 disables Serial Port interrupts (TI and RI). ES = 1 enables interrupts generated by the TI or RI flag.
IE.3	ET1 - Enable Timer 1 interrupt. ET1 = 0 disables Timer 1 interrupt (TF1). ET1 = 1 enables interrupts generated by the TF1 flag.
IE.2	EX1 - Enable external interrupt 1. EX1 = 0 disables external interrupt 1 (INT1_N). EX1 = 1 enables interrupts generated by the INT1_N pin.
IE.1	ET0 - Enable Timer 0 interrupt. ET0 = 0 disables Timer 0 interrupt (TF0). ET0 = 1 enables interrupts generated by the TF0 flag.
IE.0	EX0 - Enable external interrupt 0. EX0 = 0 disables external interrupt 0 (INT0_N). EX0 = 1 enables interrupts generated by the INT0_N pin.

表 7 - 2 : IEレジスタ - SFR 0xA8

表7 - 3はIPレジスタのビット機能を説明しています。

Bit	Function
IP.7	Reserved. Read as 1.
IP.6	Reserved. Read as 0.
IP.5	PT2 - Timer 2 interrupt priority control. PT2 = 0 sets Timer 2 interrupt (TF2) to low priority. PT2 = 1 sets Timer 2 interrupt to high priority.
IP.4	PS - Serial Port interrupt priority control. PS = 0 sets Serial Port interrupt (TI or RI) to low priority. PS = 1 sets Serial Port interrupt to high priority.
IP.3	PT1 - Timer 1 interrupt priority control. PT1 = 0 sets Timer 1 interrupt (TF1) to low priority. PT1 = 1 sets Timer 1 interrupt to high priority.
IP.2	PX1 - External interrupt 1 priority control. PX1 = 0 sets external interrupt 1 (INT1_N) to low priority. PT1 = 1 sets external interrupt 1 to high priority.
IP.1	PT0 - Timer 0 interrupt priority control. PT0 = 0 sets Timer 0 interrupt (TF0) to low priority. PT0 = 1 sets Timer 0 interrupt to high priority.
IP.0	PX0 - External interrupt 0 priority control. PX0 = 0 sets external interrupt 0 (INT0_N) to low priority. PT0 = 1 sets external interrupt 0 to high priority.

表 7 - 3 : IPレジスタ - SFR 0xB8

表7 - 4はEXIFレジスタのビット機能を説明しています。

Bit	Function
EXIF.7	IE5 - Interrupt 5 flag. IE5 = 1 indicates that a rising edge was detected on the RADIO.DR2 signal.(see ch. 5.1.RADIO) IE5 must be cleared by software. Setting IE5 in software generates an interrupt, if enabled.
EXIF.6	IE4 - Interrupt 4 flag. IE4 = 1 indicates that a rising edge was detected on the RADIO.DR1 signal.(see ch. 5.1.RADIO) IE4 must be cleared by software. Setting IE4 in software generates an interrupt, if enabled.

EXIF.5	IE3 - Interrupt 3 flag. IE3 = 1 indicates that the internal SPI module has sent or received 8 bits, and is ready for a new command. IE3 must be cleared by software. Setting IE3 in software generates an interrupt, if enabled.
EXIF.4	IE2 - Interrupt 2 flag. IE2 = 1 indicates that a rising edge was detected on the ADC_EOC signal. (see ch.5.3.1 End of conversion.) IE2 must be cleared by software. Setting IE2 in software generates an interrupt, if enabled.
EXIF.3	Reserved. Read as 1.
EXIF.2-0	Reserved. Read as 0.

表 7 - 4 : EXIFレジスタ - SFR 0x91

表7 - 5はEICONレジスタのビット機能を説明しています。

Bit	Function
EICON.7	Not used.
EICON.6	Reserved. Read as 1.
EICON.5	Reserved. Read as 0.
EICON.4	Reserved. Read as 0.
EICON.3	WDTI - RTC wakeup timer interrupt flag. WDTI = 1 indicates a wakeup timer interrupt was detected. WDTI must be cleared by software before exiting the interrupt service routine. Otherwise, the interrupt occurs again. Setting WDTI in software generates a wakeup timer interrupt, if enabled.
EICON.2-0	Reserved. Read as 0.

表 7 - 5 : EICONレジスタ - SFR 0xD8

表7 - 6はEIEレジスタのビット機能を説明しています。

Bit	Function
EIE.7-5	Reserved. Read as 1.
EIE.4	EWDI - Enable RTC wakeup timer interrupt. EWDI = 0 disables wakeup timer interrupt (wdti). EWDI = 1 enables interrupts generated by wakeup.
EIE.3	EX5 - Enable interrupt 5. EX5 = 0 disables interrupt 5 (RADIO.DR2). EX5 = 1 enables interrupts generated by the RADIO.DR2 signal.
EIE.2	EX4 - Enable interrupt 4. EX4 = 0 disables interrupt 4 (RADIO.DR1). EX4 = 1 enables interrupts generated by the RADIO.DR1 signal.
EIE.1	EX3 - Enable interrupt 3. EX3 = 0 disables interrupt 3 (SPI_READY). EX3 = 1 enables interrupts generated by the SPI_READY signal.
EIE.0	EX2 - Enable interrupt 2. EX2 = 0 disables interrupt 2 (ADC_EOC). EX2 = 1 enables interrupts generated by the ADC_EOC signal.

表 7 - 6 : EIEレジスタ - SFR 0xE8

表7 - 7はEIPレジスタのビット機能を説明しています。

Bit	Function
EIP.7-5	Reserved. Read as 1.
EIP.4	PWDI - RTC wakeup timer interrupt priority control. WDPI = 0 sets wakeup timer interrupt (wdti) to low priority. PS = 1 sets wakeup timer interrupt to high priority.
EIP.3	PX5 - interrupt 5 priority control. PX5 = 0 sets interrupt 5 (RADIO.DR2) to low priority. PX5 = 1 sets interrupt 5 to high priority.
EIP.2	PX4 - interrupt 4 priority control. PX4 = 0 sets interrupt 4 (RADIO.DR1) to low priority. PX4 = 1 sets interrupt 4 to high priority.
EIP.1	PX3 - interrupt 3 priority control. PX3 = 0 sets interrupt 3 (SPI_READY) to low priority. PX3 = 1 sets interrupt 3 to high priority.
EIP.0	PX2 - interrupt 2 priority control. PX2 = 0 sets interrupt 2 (ADC_EOC) to low priority. PX2 = 1 sets interrupt 2 to high priority.

表 7 - 7 : EIPレジスタ - SFR 0xF8

## 7.2 割り込みの過程

可能にされた割り込みが発生するとき、CPUは、表7 - 8にリストするような、その割り込みに関係がある割り込みサ - ビスルーチン(ISR)のアドレスへ誘導します。CPUは、他のより優先順位の高い割り込みが発生しない限り、ISRを完了するよう実行します。それぞれのISRはRETI(return from interrupt)命令で終わります。RETIの実行後、CPUは、割り込みが発生しなければ実行されたであろう、次の命令へ戻ります。

Interrupt	Description	Natural Priority (lowest number gives highest priority)	Interrupt Vector
INT0_N	External interrupt 0	1	0x03
TF0	Timer 0 interrupt	2	0x0B
INT1_N	External interrupt 1	3	0x13
TF1	Timer 1 interrupt	4	0x1B
TI or RI	Serial Port transmit or receive	5	0x23
TF2 or EXF2	Timer 2 interrupt	6	0x2B
int2	ADC_EOC interrupt	8	0x43
int3	SPI_READY interrupt	9	0x4B
int4	RADIO_DR1 interrupt	10	0x53
int5	RADIO_DR2 interrupt	11	0x5B
wdti	RTC wakeup timer	12	0x63

	interrupt		
--	-----------	--	--

表 7 - 8 : 割り込みの常態のベクトルと優先順位

ISRはより優先順位の高い割り込みにのみ割り込まれます。すなわち、低レベルISRは高レベル割り込みにのみ割り込まれます。CPUは常に、割り込みを行う前に進行中の命令を完了します。もし進行中の命令がRETIの場合、またはIP,IE,EIP,EIEのいずれかのSFRに書込み中の場合、CPUは割り込みを行う前にもう1つ追加の命令を完了します。

### 7.3 割り込みのマスク

IA SFRのEAビット(IE.7)は全ての割り込みを総括的に可能にします。EA = 1のとき、それぞれの割り込みは独立したイネーブルビットでイネーブル/マスクされます。EA = 0のとき、全ての割り込みはマスクされます。表7-9は割り込みのソース、フラグ、イネーブル、優先順位の概略を提供します。

Interrupt	Description	Flag	Enable	Control
INT0_N	External interrupt 0	TCON.1	IE.0	IP.0
TF0	Timer 0 interrupt	TCON.5	IE.1	IP.1
INT1_N	External interrupt 1	TCON.3	IE.2	IP.2
TF1	Timer 1 interrupt	TCON.7	IE.3	IP.3
TI or RI	Serial Port transmit or receive	SCON.0 (RI), SCON.1 (TI)	IE.4	IP.4
TF2 or EXF2	Timer 2 interrupt	T2CON.7 (TF2), T2CON.6 (EXF2)	IE.5	IP.5
int2	ADC_EOC interrupt	EXIF.4	EIE.0	EIP.0
int3	SPI_READY interrupt	EXIF.5	EIE.1	EIP.1
int4	RADIO.DR1 interrupt	EXIF.6	EIE.2	EIP.2
int5	RADIO.DR2 interrupt	EXIF.7	EIE.3	EIP.3
wdti	RTC wakeup timer interrupt	EICON.3	EIE.4	EIP.4

表 7 - 9 : 割り込みフラグ、イネーブル、優先順位制御

## 7.4 割り込みの優先順位

割り込みの優先順位の割り当てには、割り込みレベルと常態の優先順位の2つの段階があります。割り込みレベル(高低)は常態の優先順位より優位です。全ての割り込みは高いか低いどちらかの優先順位に割り当てることができます。割り当てられた優先順位レベル(高低)に加え、それぞれの割り込みは、表7-8にリストしたような常態の優先順位を持っています。同じ優先順位レベル(例えばどちらも高)の同時の割り込みはそれらの常態の優先順位に従って決定されます。

例えば、もしINT0\_Nとint2がともに高優先順位にプログラムされていると、INT0\_Nが優先になります。いったん割り込みがサービスされれば、より高い優先レベルの割り込みのみが、現在サービス中の割り込みルーチンに割り込むことができます。

## 7.5 割り込みのサンプリング

内部タイマとシリアルポートは、それぞれのSFR割り込みフラグビットを設定することにより、割り込みを発生します。CPUは外部割り込みを、最後のサイクルC4のCPU\_clkの立ち上がりエッジで、命令サイクルに1度サンプルします。

INT0\_NとINT1\_N信号はどちらもアクティブローで、TCON SFRのIT0とIT1ビットを通じ、エッジ検出かレベル検出かどちらかをプログラムできます。例えばIT0 = 0のとき、INT0\_Nはレベル検出で、CPUはINT0\_Nピンがローをサンプルされたとき、IE0フラグをセットします。IT0 = 1のときINT0\_Nはエッジ検出で、CPUはIEフラグを、INT0\_Nピンが連続的なサンプルの中でハイからローになるとき、セットします。エッジ検出割り込みの検出を確実にするため、相当するポートは4クロックサイクルの間ハイを、そして4クロックサイクルの間ローを保持しなければいけません。レベル検出はラッチしませんので、サービスまでアクティブ

でなければいけません。

## 7.6 割り込みの潜伏期間

割り込みの応答時間はCPUの現在の状態により決まります。最も早い応答時間は、割り込みを検出する1とISRへのLCALLを実行する4の、5命令サイクルです。

もっとも長い潜伏期間(13命令サイクル)はCPUがMULまたはDIV命令に続くRETI命令を現在実行しているときに発生します。この場合の13命令サイクルは命令検出に1、RETIを完了するのに3、DIVまたはMULを実行するのに5、そしてISRへのLCALLを実行するのに4です。

最長潜伏期間の場合、応答時間は $13 \times 4 = 52$ クロックサイクルです。

## 7.7 パワダウンモードからの割り込みの潜伏期間

nRF24E1はSFR 0xB6, CK\_CTRLレジスタに0x2または0x3を書くことにより、パワダウンモードに入るよう設定できます。CPUはクロックと電源レギュレータを休ませる制御を実行します。システムはINT0\_NまたはINT1\_Nピン、RTCウェイクアップ、またはウォッチドッグリセットによってのみ再起動できます。この場合CPUは、3ないし4LP\_OSCサイクルかかるであろうクロックと電源レギュレータが再起動するまで、応答できません。この遅れは処理、温度、供給電圧により、0.6msから4ms間で変動するでしょう。同様にシャットダウンするのに、2ないし3LP\_OSCサイクル、0.4ms - 3msかかります。

## 7.8 シングルステップ動作

nRF24E1の割り込み構成は、プログラムのシングルステップ実行を行う方法を備えています。RETIでISRから出ているとき、CPUはいつも最低でも業務プログラムの1命令を実行します。したがって1度ISRに入ると最低1つのプログラム命令を実行するまで再入はできません。シングルステップ実行を行うため、外部割り込み(例えばINT0\_N)をレベル検出にプログラムし、その割り込みのISRが次のように終わるように書いてください。

```
JNB TCON.1,$ ; wait for high on INT0_N
JB TCON.1,$ ; wait for low on INT0_N
RETI ; return for ISR
```

CPUはINT0\_Nがローになるとき、ISRに入りINT0\_Nのパルスを待ちます。毎回INT0\_Nが鼓動するとき、CPUはISRを出、プログラム命令を1つ実行し、そしてISRに再入します。

# 8 ウェイクアップタイムとウォッチドッグ

## 8.1 チックの校正



「チック」は普通10msの長さの間隔です。この間隔はウォッチドッグとRTCウェイクアップタイムの両方の分解能の単位です。「チック」のソースであるLP\_\_OSCクロックはとても不正確で、処理、温度、供給電圧により6msから30msまで変化するでしょう。これはウォッチドッグとRTCはいかなる正確なタイミング機能にも使えないだろうということを意味します。

精度は規則的な間隔にチックを校正することにより、改善することができます。TICK\_\_DVレジスタはそれぞれのチックの間に、LP\_\_OSC周期がいくつ経過するか制御します。LP\_\_OSCの周波数(1kHzから5kHzの間)は、t2exを有効に(EXEN2 = 1)したキャプチャモードのタイマ2で測定することができます。t2exに接続された信号は正確にLP\_\_OSCの半分の周波数です。SFRレジスタ(RCAP2H, RCAP2L)における連続した2つのキャプチャ間の16ビット差異はLP\_\_OSC周期と比例します。タイマ2に関する詳細は10.8.3と図10-5:キャプチャにおけるタイマ/カウンタを見てください。

チックはSFR 0xB5で制御されます。

Addr SFR	R/W	#bit	Init hex	Name	Function
B5	R/W	8	1D	TICK_DV	Divider that's used in generating TICK from LP__OSC frequency. $f_{TICK} = f_{LP\_osc} / (1 + TICK\_DV)$ The default value gives a TICK of 10ms nominal as default.

図 8 - 1 : チック制御レジスタ - SFR 0xB5

## 8.2 RTCウェイクアップタイマ

RTCは割り込みを起こす単純な16ビットダウンカウンタで、カウントがゼロに達したとき自動的にリロードします。この処理は最初は無効で、タイマラッチに最初に書いて有効になります。タイマラッチへの書き込みは常にカウンタのリロードに続きます。カウンタは無効オPCODEを制御レジスタに書くことで、再び無効にできます。ラッチとカウンタの値はともに、制御レジスタにそれぞれのコードを与えることで、読むことができます。表8 - 2の説明を参照。

このカウンタはウェイクアップのために将来いつか使われます(相対時間ウェイクアップコール)。もし'*N*'がカウンタにかかれますと、最初のウェイクアップは書き込みの終了から'*N* + 1'と'*N* + 2'チックの間のどこかでおき、その後新しいウェイクアップは、装置が無効になるカラッチに別の値が書かれるまで、'*N* + 1'チックごとに発せられます。

ウェイクアップタイマはCPUのWDTに割り込みに接続されています。プログラマはEICON. 3フラグを検査するか割り込みを有効にすることができます。もし発振器が停止した場合、EIE. 4割り込みイネーブルの状態に関係なく、ウェイクアップ割り込みは発振器をリスタートさせます。

nRF24E1はいかなる「絶対時間機能」も備えていません。nRF24E1での絶対時間機能は、私たちのRAMがスリープモードのときでさえ連続して通電されていますので、ソフトウェアでうまく扱うことができます。1000バイトほどのコードと12KB RAMを使って完全な絶対時間機能を実現(2アラームつき)するのに必要なコードのアプリケーションノートがあります。

## 8.3 ウォッチドッグ

ウォッチドッグはその制御レジスタSFR 0xADに0x08を書くことで起動します。リセット以外の方法で無効にすることはできません。ウォッチドッグレジスタは、16ビットの値を2つの8ビットレジスタ(SFR 0xABと0xAC)に書き、そして正しいオPCODEを制御レジスタに書くことで、ロードされます。それからウォッチドッグはゼロに向かってカウントダウンし、ゼロに達したとき完全にマイクロコントローラはリセットされます。リセットを避けるため、ソフトウェアは十分しばしばウォッチドッグレジスタに新しい値をロードしなければいけません。



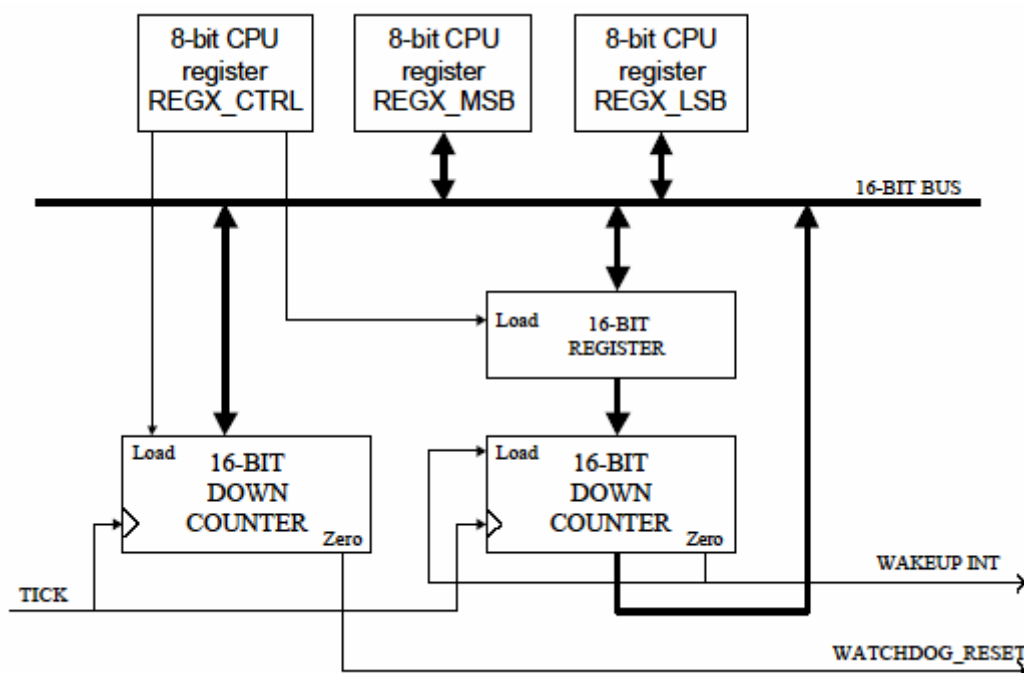


図 8 - 2 : RTCとウォッチドッグのブロック図

RTCとウォッチドッグはSFR 0xAB, 0xAC, 0xADにより制御されます。これら3つのレジスタREGX\_MSB, REGX\_LSB, REGX\_CTRLは遅いLP\_OSCクロックの上で動いているブロックとのインタフェースに使用されます。16ビットレジスタ{REGX\_MSB, REGX\_LSB}はCPUから2バイトで読み書きできます。代表的なシーケンスは:

書込み: ビジーでなくなるまで待つ。

REGX\_MSBを書く、REGX\_LSBを書く、REGX\_CTRLを書く

読込み: ビジーでなくなるまで待つ。

REGX\_CTRLを書く、ビジーでなくなるまで待つ

REGX\_MSBを読む、REGX\_LSBを読む

注意: SFR 0xB6 CK\_CTRL(66ページ)にアクセスする前にも同様にビジーでなくなるまで待ってください。

Addr SFR (hex)	R/W	# bit	Init (hex)	Name	Function
AB	R/W	8	0	REGX_MSB	Most significant part of 16 bit register for interface to Watchdog and RTC
AC	R/W	8	0	REGX_LSB	Least significant part of 16 bit register for interface to Watchdog and RTC

AD	R/W	5	0	REGX_CTRL	Control for 16 bit register for interface to Watchdog and RTC. Bit 4 is only available on read and is used to flag the interface unit as busy. Bits 3:0 is read/write with the encoding: 0 000: Read from WD register (16 bit) 1 000: Write to WD register (16 bit) 0 010: Read from RTC latch register (16 bit) 1 010: Write to RTC latch register (16 bit) 0 011: Read from RTC counter reg. (16 bit) 1 011: Disable RTC counter (no data)
----	-----	---	---	-----------	---

表 8 - 2 : RTCとウォッチドッグのSFRレジスタ

## 8.4 リセット

nRF24E1はチップ上のパワオンリセット回路またはチップ上のウォッチドッグタイマのどちらでもリセットすることができます。

### 8.4.1 パワオンリセット

パワオンリセット回路は供給電圧がVDDminに達するまでチップをパワオンリセット常態に保持します。この時点で内部電圧発生器と発振器は起動し、SFRは表10 - 10にリストされたりセット値に初期化され、その後CPUは標準的なリセットベクタアドレスの0x0000からプログラムの実行を始めます。パワオンリセットからの起動時間は大体14LP\_\_OSCクロックサイクルで、処理、温度、供給電圧により、全体で3から15msにばらつきます。

### 8.4.2 ウォッチドッグリセット

ウォッチドッグリセット信号がアクティブになりますと、nRF24E1はパワオンリセットと同様のリセットシーケンスに入り、内部電圧発生器と発振器を起動し、SFRは表10 - 10にリストされたりセット値に初期化され、その後CPUは標準的なリセットベクタアドレスの0x0000からプログラムの実行を始めます(現在のプログラムでのリポートはありません)。ウォッチドッグリセットからの起動時間は幾分短く、12LP\_\_OSCクロックサイクルで処理、温度、供給電圧により、全体で2.5から13msに変化します。

### 8.4.3 プログラムリセットアドレス

プログラムリセットアドレスはSFR 0xB1(表8 - 3参照)RSTREASレジスタで制御されます。このレジスタは原因となった最後のリセットの源を表し、2つの異なるプログラム開始アドレスの選択を備えます。初期値はパワオンリセットで、これはブートローダを起動し、一方ウォッチドッグリセットはリポートせず、すでにプログラムがロードされた0番地からリスタートします。

Addr SFR (hex)	R/W	#bit	Init (hex)	Name	Function
B1	R/W	2	02	RSTREAS	bit 0: Reason for last reset 0: POR 1: Any other reset source Clear this bit in software to force a reboot after jump to zero (boot loader will load code RAM if this bit is 0) bit 1: Use IROM for reset vector 0: Reset vectors to 0x0000. 1: Reset vectors to 0x8000.

表 8 - 3 : リセット制御レジスタ - SFR 0x B 1

## 9 省電力モード

nRF24E1はアイドルモードとストップモードの2つの業界標準の8051の省電力モード(しかしたいしたことなく省電力)を備えています。したがって標準でない、より省電力化するため発振機と内部電源レギュレータの双方を止めるパワダウンモードも備えています。

アイドルとストップモードに入るための制御ビットは、表9 - 1に示すSFR 0x87のPCONレジスタです。パワダウンモードに入るための制御ビットは、表9 - 2に示すSFR 0xB6のCK\_CTRLレジスタです。

Bit	Function
PCON.7	SMOD – Serial Port baud-rate doubler enable. When SMOD = 1, the baud rate for Serial Port is doubled.
PCON.6–4	Reserved.
PCON.3	GF1 – General purpose flag 1. Bit-addressable, general purpose flag for software control.
PCON.2	GF0 – General purpose flag 0. Bit-addressable, general purpose flag for software control.
PCON.1	STOP – Stop mode select. Setting the STOP bit places the nRF24E1 in stop mode.
PCON.0	IDLE – Idle mode select. Setting the IDLE bit places the nRF24E1 in idle mode.

表 9 - 1 : PCONレジスタ - SFR 0x87

### 9.1 アイドルモード

IDLE ビット(PCON.0)をセットする命令は、その命令が完了したとき、nRF24E1をアイドルモードに入るようにします。アイドルモードでCPUの処理は一時停止され、内部レジスタとメモリは現在の値を保存します。し

かしながら、標準の8051と異なり、CPUクロックは内部で無効にされませんので、あまり省電力になりません。

アイドルモードから出るには2つの方法があります：有効な割り込みを起動させるかウォッチドッグリセットです。有効な割り込みの起動はハードウェアのIDELビットをクリアし、アイドルモードを終了させます。CPUは受けた割り込みに関連するISRを実行します。ISRの最後にあるRETI命令はnRF24E1をアイドルモードに入れた命令に続く命令に復帰させます。ウォッチドッグリセットはnRF24E1をアイドルモードから出し、内部レジスタをリセットし、リセットシーケンスを実行して、標準リセットベクタアドレスの0x0000からプログラムの実行を開始します。

## 9.2 ストップモード

STOPビット(PCON.1)をセットする命令は、その命令が完了したとき、nRF24E1をストップモードに入るようにします。ストップモードは、ストップモードから出る方法がウォッチドッグリセットだけだということを除き、アイドルモードと同じです。パワダウンモードを使う方が効率的なので、少量の省電力のストップモードはお勧めできません。

## 9.3 パワダウンモード

STOP\_CLOCKビット(SFR 0xB6 CK\_CTRL.1)をセットする命令は、その命令が完了したとき、nRF24E1をパワダウンモードに入るようにします。パワダウンモードではCPUの処理は一時停止し、一方内部レジスタとメモリは現在のデータを保ちます。CPUはクロックと電源レギュレータの制御された停止を実行します。しかしトランシーバサブシステムはクロックが止まる前に、RADIO.7 = 0の設定で、別に無効にされます。

システムは、有効(P0\_ALTにより)になっていればINT0\_N(P0.3)またはINT1\_N(P0.4)ピンのローレベル、またはRtcウェイクアップ割り込み、またはウォッチドッグリセットによってのみ、リスタートできます。これはハードウェアのCK\_CTRL.1ビットをクリアし、パワダウンモードを終了させます。もしウェイクアップイベントに関連する有効な割り込みがあれば、CPUは電源とクロックが回復した後、即座にその割り込みに関連したISRを実行します。ISRの最後にあるRETI命令はnRF24E1をパワダウンモードに入れた命令に続く命令に復帰させます。ウォッチドッグリセットはnRF24E1をパワダウンモードから出し、内部レジスタをリセットし、リセットシーケンスを実行して、標準リセットベクタアドレスの0x0000からプログラムの実行を開始します。

注意：CK\_CTRLレジスタにアクセスする前に、Rtc / ウォッチドッグのビジービット、SFR 0xADのビット4(64ページ)がセットされていないことを確認してください。

Bit	Function
CK_CTRL.0	Not used
CK_CTRL.1	STOP_CLOCK. Setting the STOP_CLOCK bit places the nRF24E1 in power down mode.

表 9 - 2 : CK\_CTRLレジスタ - SFR 0xB6

### 9.3.1 ウェイクアップと外部イベントによる割り込みに関する説明

1: P0.4とP0.3のウェイクアップと割り込みは並列排他的機能を意図されています。

2: 割り込み回路はパワダウンの間はアクティブでなく、ウェイクアップはパワアップの間アクティブではありません。

3: これらのピンによってnRF24E1が起動したときはどのようにしても、イベントは割り込み回路にキャプチャされ、そして同様に有効になっていれば割り込みは引き渡されるでしょう。レベル割り込みは常に(もしピンがハイに戻っていても)引き渡されます。立下りエッジ割り込みは引き渡されるでしょう。

### 9.3.2 パワダウンモードからの起動時間

起動時間はLP\_\_OSCサイクル数+XTAL クロックサイクルからなっています。fLP\_\_OSCは電圧と温度で1から5.5kHz以上まで変化しますが、61ページの説明のように測定することができます。fXTALは108ページの説明のように選択した水晶に依存します。fXTALはとても高いので、起動時間はfLP\_\_OSCで決まります。

起動時間は下の表に要約されています。

Reason of startup	Startup time in $f_{LP\_OSC}$ cycles	Startup time in $f_{XTAL}$ cycles	Example of total startup time if $f_{LP\_OSC} = 3\text{kHz}$ if $f_{XTAL} = 16\text{MHz}$
Power-on reset	14-15	24	4.8 ms
Watchdog reset	12	24	4.0 ms
External interrupt	3-4	max 52, see ch. 7.6	1.2 ms
RTC interrupt	3	max 52 see ch. 7.6	1.0 ms

表 9 - 3 : パワダウンモードからの起動時間

## 10 マイクロコントローラ

組み込みマイクロコントローラは、ハードウェアの特徴や命令サイクルでダラスDS80C320と似ているシノプシスからのDW8051マイクロセルです。

### 10.1 メモリ構成

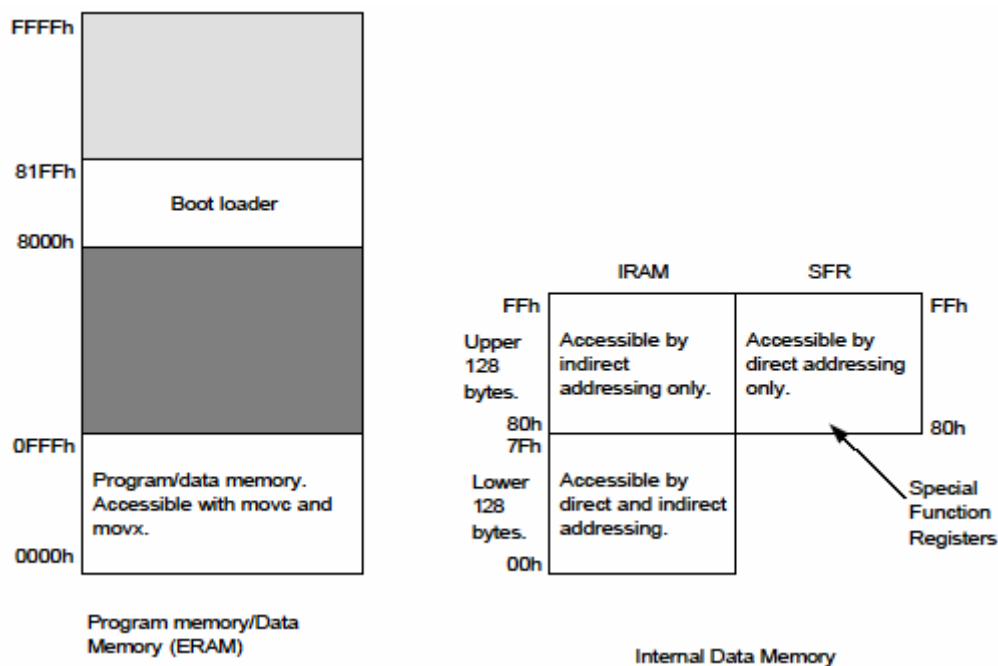


図 10 - 1 : メモリマップと構成

#### 10.1.1 プログラムメモリ / データメモリ

nRF24E1は図10-1に示すように、アドレス空間の底にユーザプログラムのための4KBのプログラムメモリがあります。このメモリはランダムアクセスメモリの機能もあり、`movx`と`movc`命令でアクセスできます。

パワオンリセットの後、ブートローダは外部EEPROMからユーザプログラムをロードし、このメモリの0番地から格納します。

##### 10.1.1.1 メモリページング

SFR 0x92のMPAGE特別機能レジスタはメモリページング機能を備えています。MOVX A, @RiとMOVX @Ri, A命令の間、MPAGEレジスタの内容はメモリアドレスの上位8ビットが置かれています。

### 10.1.2 内部データメモリ

図10.1に描かれている内部データメモリは次のものを含みます。

- ・ 直接または間接アドレッシングでアクセスできる128バイトのレジスタとスクラッチパッドメモリ(アドレス 0x00 - 0x7F)
- ・ 間接アドレッシングでアクセスできる128バイトのスクラッチパッドメモリ(0x80 - 0xFF)
- ・ 直接アドレッシングでアクセスできる128バイトの特別機能レジスタ(SFR)

下位32バイトは4つのバンクの8組のレジスタ(R0 - R7)が形成されます。プログラムステータスワード(P SW)の2つのビットでどのバンクを使うか選択します。次の16バイトはビットアドレス0x00 - 0x7Fのビットアドレス可能なメモリ空間のブロックが形成されます。下位128バイトは全て、直接または間接アドレッシングでアクセスできます。SFRと上位128バイトは同じアドレス範囲(0x80 - 0xFF)を共有しています。しかし実アドレス空間は分けられ、アドレッシングのタイプで区別されています。直接アドレッシングはSFRをアクセスし、間接アドレッシングの間は上位128バイトのRAMをアクセスします。SFRの大半は、65ページの10.6 特別機能レジスタに述べられているように、特別機能のために予約されています。アドレスが0hまたは8hで終わるSFRはビットアドレスが可能です。

### 10.2 外部EEPROMのプログラムフォーマット

下の表にEEPROMイメージのはじめの数バイトのレイアウトを示します。

	7	6	5	4	3	2	1	0
0:	Version (now 00)		Reserved (now 00)		SPEED	XO_FREQ		
1:	Offset to start of user program (N)							
2:	Number of 256 byte blocks in user program (includes block 0 that is not full)							
...	Optional User data, not interpreted by boot loader							
...	...							
N:	First byte of user program, goes into ERAM at 0x0000							
N+1:	Second byte of user program, goes into ERAM at 0x0001							
...	...							

表 10.1 : EEPROMレイアウト

最初のバイトの下位4ビットの内容はSPI周波数を正確に設定するためブートローダで使われます。これらの欄は下記のように符号化されています。

SPEED(ビット3): EEPROM最高速度

- 0 = 1MHz
- 1 = 0.5MHz

訳注

0と1が反対。



XO\_FREQ (ビット2, 1, 0):水晶発振器周波数

000 = 4MHz

001 = 8MHz

010 = 12MHz

011 = 16MHz

100 = 20MHz

eeprepプログラムはこのヘッダをプログラムファイルに追加するのに使うことができます。

命令フォーマット: eepprep [options] <infile> <outfile>

<infile> はアセンブラまたはコンパイラの実出力ファイル

<outfile> はEEPROM書き込みに適合したファイル(上のフォーマットはユーザデータを含みません)

どちらのファイルも「Intel hex」フォーマットです。

options:

- c n 水晶周波数を MHz で設定します。有効な数字は4, 8, 12, 16(既定)20です。
- i チェックサムを無視
- p n プログラムメモリの大きさを設定(既定で4096バイト)
- s 遅いEEPROM速度(500KHz)を設定

### 10.3 命令セット

nRF24E1の全ての命令は業界標準の8051とバイナリコードで互換であり、同じ機能を果たします。これらの命令のビット・フラグ・その他のステータス機能の影響は業界標準の8051と同一です。しかし、命令サイクルあたりのクロック数と命令サイクル内のタイミングとどちらも、命令タイミングは異なります。

表10.3から表10.8にnRF24E1の命令セットと命令を終えるのに必要なクロック数を掲げます。

Symbol	Function
A	Accumulator
Rn	Register R0-R7
direct	Internal register address
@Ri	Internal register pointed to by R0 or R1 (except MOVX)
rel	Two's complement offset byte
bit	Direct bit address
#data	8-bit constant
#data 16	16-bit constant
addr 16	16-bit destination address
addr 11	11-bit destination address

表 10.2 : 命令セット表の凡例



表10 - 3から表10 - 8は表10 - 2の記号とニーモニックを使って定義します。

Arithmetic Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
ADD A, Rn	Add register to A	1	1	28–2F
ADD A, direct	Add direct byte to A	2	2	25
ADD A, @Ri	Add data memory to A	1	1	26–27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	1	38–3F
ADDC A, direct	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add data memory to A with carry	1	1	36–37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	1	98–9F
SUBB A, direct	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract data memory from A with borrow	1	1	96–97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	1	04
INC Rn	Increment register	1	1	08–0F
INC direct	Increment direct byte	2	2	05
INC @Ri	Increment data memory	1	1	06–07
DEC A	Decrement A	1	1	14
DEC Rn	Decrement register	1	1	18–1F
DEC direct	Decrement direct byte	2	2	15
DEC @Ri	Decrement data memory	1	1	16–17
INC DPTR	Increment data pointer	1	3	A3
MUL AB	Multiply A by B	1	5	A4
DIV AB	Divide A by B	1	5	84
DA A	Decimal adjust A	1	1	D4
All mnemonics are copyright © Intel Corporation 1980.				

表 10 3 : nRF24E1 命令セット、算術演算命令

Logical Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
ANL A, Rn	AND register to A	1	1	58–5F
ANL A, direct	AND direct byte to A	2	2	55
ANL A, @Ri	AND data memory to A	1	1	56–57
ANL A, #data	AND immediate to A	2	2	54
ANL direct, A	AND A to direct byte	2	2	52
ANL direct, #data	AND immediate data to direct byte	3	3	53
ORL A, Rn	OR register to A	1	1	48–4F
ORL A, direct	OR direct byte to A	2	2	45
ORL A, @Ri	OR data memory to A	1	1	46–47
ORL A, #data	OR immediate to A	2	2	44
ORL direct, A	OR A to direct byte	2	2	42
ORL direct, #data	OR immediate data to direct byte	3	3	43
XRL A, Rn	Exclusive-OR register to A	1	1	68–6F
XRL A, direct	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR data memory to A	1	1	66–67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL direct, A	Exclusive-OR A to direct byte	2	2	62
XRL direct, #data	Exclusive-OR immediate to direct byte	3	3	63
CLR A	Clear A	1	1	E4
CPL A	Complement A	1	1	F4
SWAP A	Swap nibbles of A	1	1	C4
RL A	Rotate A left	1	1	23
RLC A	Rotate A left through carry	1	1	33
RR A	Rotate A right	1	1	03
RRC A	Rotate A right through carry	1	1	13
All mnemonics are copyright © Intel Corporation 1980.				

表 10 4 : nRF24E1 命令セット、論理演算命令

Boolean Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
CLR C	Clear carry	1	1	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	1	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	1	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	2	82
ANL C, /bit	AND direct bit inverse to carry	2	2	B0
ORL C, bit	OR direct bit to carry	2	2	72
ORL C, /bit	OR direct bit inverse to carry	2	2	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	2	92
All mnemonics are copyright © Intel Corporation 1980.				

表 10 5 : nRF24E1 命令セット、ブール代数演算命令

Data Transfer Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
MOV A, Rn	Move register to A	1	1	E8-EF
MOV A, direct	Move direct byte to A	2	2	E5
MOV A, @Ri	Move data memory to A	1	1	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	1	F8-FF
MOV Rn, direct	Move direct byte to register	2	2	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV direct, A	Move A to direct byte	2	2	F5
MOV direct, Rn	Move register to direct byte	2	2	88-8F
MOV direct, direct	Move direct byte to direct byte	3	3	85
MOV direct, @Ri	Move data memory to direct byte	2	2	86-87
MOV direct, #data	Move immediate to direct byte	3	3	75
MOV @Ri, A	Move A to data memory	1	1	F6-F7
MOV @Ri, direct	Move direct byte to data	2	2	A6-A7

direct	memory			
MOV @Ri, #data	Move immediate to data memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	3	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	3	93
MOVC A, @A+PC	Move code byte relative PC to A	1	3	83
MOVX A, @Ri	Move external data (A8) to A	1	2-9*	E2-E3
MOVX A, @DPTR	Move external data (A16) to A	1	2-9*	E0
MOVX @Ri, A	Move A to external data (A8)	1	2-9*	F2-F3
MOVX @DPTR, A	Move A to external data (A16)	1	2-9*	F0
PUSH direct	Push direct byte onto stack	2	2	C0
POP direct	Pop direct byte from stack	2	2	D0
XCH A, Rn	Exchange A and register	1	1	C8-CF
XCH A, direct	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and data memory	1	1	C6-C7
XCHD A, @Ri	Exchange A and data memory nibble	1	1	D6-D7
All mnemonics are copyright © Intel Corporation 1980.				

表 10 6 : nRF24E1 命令セット、データ転送命令

- \* サイクル数は  $2 + \text{CKCON}.2 - 0$  ( $\text{CKCON}.2 - 0$ はSFR 0x8E CKCONの3LSBの整数値です。) 初期値は3サイクル。

Branching Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
ACALL addr 11	Absolute call to subroutine	2	3	11–F1
LCALL addr 16	Long call to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	3	01–E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	3	80
JC rel	Jump on carry = 1	2	3	40
JNC rel	Jump on carry = 0	2	3	50
JB bit, rel	Jump on direct bit = 1	3	4	20
JNB bit, rel	Jump on direct bit = 0	3	4	30
JBC bit, rel	Jump on direct bit = 1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	3	73
JZ rel	Jump on accumulator = 0	2	3	60
JNZ rel	Jump on accumulator $\neq$ 0	2	3	70
CJNE A, direct, rel	Compare A, direct JNE relative	3	4	B5
CJNE A, #d, rel	Compare A, immediate JNE relative	3	4	B4
CJNE Rn, #d, rel	Compare reg, immediate JNE relative	3	4	B8–BF
CJNE @Ri, #d, rel	Compare ind, immediate JNE relative	3	4	B6–B7
DJNZ Rn, rel	Decrement register, JNZ relative	2	3	D8–DF
DJNZ direct, rel	Decrement direct byte, JNZ relative	3	4	D5
All mnemonics are copyright © Intel Corporation 1980.				

表 10 7 : nRF24E1 命令セット、分岐命令

Miscellaneous Instructions				
Mnemonic	Description	Byte	Instr. Cycles	Hex Code
NOP	No operation	1	1	00

There is an additional reserved opcode (A5) that performs the same function as NOP.

All mnemonics are copyright © Intel Corporation 1980.

表 10 8 : nRF24E1 命令セット、その他の命令

## 10.4 命令タイミング

nRF24E1の命令サイクルは、標準8051の1命令あたり12クロックサイクルに対し、4クロックサイクルの長さです。これはほとんどの命令で実行時間が3倍改善されると言い換えられます。しかしながらいくつかの命令は、標準8051で行うのと異なった、nRF24E1の命令サイクル数が要求されます。標準8051ではMULとDIVを除く全ての命令は1ないし2命令サイクルで完了します。nRF24E1アーキテクチャでは命令は1から5命令サイクルの間で完了します。例えば標準8051の場合、MOVX A, @DPTRとMOV direct, direct命令はどちらも実行するのに2命令サイクル(24クロックサイクル)かかります。nRF24E1アーキテクチャの場合、MOVX A, @DPTRは2命令サイクル(8クロックサイクル)かかり、MOV direct, directは3命令サイクル(12クロックサイクル)かかります。どちらの命令も標準8051で行うよりも、nRF24E1の方が早く実行しますが、しかし異なったクロックサイクル数が要求されます。

実時間イベントのタイミングのため、表10 3から10 8の命令サイクル数を使い、ソフトウェアループのタイミングを計算してください。これらの表のバイト欄は命令を実行するのに必要なメモリアクセス数(バイト)を示しています。ほとんどの場合、バイト数は命令を完了するのに要求される命令サイクル数と等しくなっています。しかしながら表10 3に示すように、メモリアクセスより多くの命令サイクルが要求されるいくつかの命令(例えばDIVとMUL)があります。初期値でnRF24E1のタイマ/カウンタはインクリメントごとに12クロックサイクルで動作しますので、タイマ基準のイベントは標準8051と同じタイミングになります。タイマは、より速い速度のnRF24E1の優位性を得るため、インクリメントごとに4クロックサイクルに設定できます。

## 10.5 二つのデータポインタ

nRF24E1はデータメモリのブロック移動を加速するため2つのデータポインタを使用します。標準8051のデータポインタ(DPTR)は外部データRAMや周辺装置をアドレスするための16ビットの値です。nRF24E1では標準データポインタを、SFRの0x82と0x83の位置で、DPTR0として維持します。DPTR0を使うため、コードの変更は必要ありません。nRF24E1はSFRの0x84と0x85の位置に2番目のデータポインタ(DPTR1)を追加しました。DPTR選択レジスタDPS(SFR 0x86)のSELビットでアクティブなポインタを選択します。

SEL = 0のとき、DPTRを使う命令はDPL0とDPH0を使用します。SEL = 1のとき、DPTRを使う命令はDPL1とDPH1を使用します。SELは0x86の位置のSFRのビット0です。0x86のSFRの他のビットは使用されません。DPTRに関する命令の全ては現在の選択されたデータポインタを使用します。アクティブなポインタを切り替えるにはSELビットを切り替えてください。それを行う最も早い方法はインクリメント命令(INC DPS)を使うことです。これはソースアドレスからディスティネーションアドレスへの切り替えに1命令しか要求せ



ず、ブロック移動のときソースとディスティネーションアドレスを保存しなければならないことから、アプリケーションのコードを節約できます。

2つのデータポインタを使うことで、大きなブロックのデータを移動するとき、とても高い効率を提供します。

2つのデータポインタに関するSFRの位置:

- 0x82 DPL DPTR0 low byte
- 0x83 DPH DPTR0 high byte
- 0x84 DPL1 DPTR1 low byte
- 0x85 DPH1 DPTR1 high byte
- 0x86 DPS DPTR Select (LSB)

## 10.6 特別機能レジスタ

特別機能レジスタ(SFR)はnRF24E1の機能のいくつかを制御します。

nRF24E1のSFRの大半は標準の8051と同一です。しかし、標準の8051には存在しない機能を制御するSFRが追加されています。

表10-9にnRF24E1のSFRを掲げ、どのSFRが標準8051のSFR空間に含まれていないか示します。nRF24E1のソフトウェアを書くとき、nRF24E1とカスタムの周辺装置に特有のSFRを定義したステートメントを使ってください。表10-9で、0または1を含む位置のSFRビットは書き込むことができず、読み出し時はいつも示された値(0または1)を返します。“ ”を含む位置のSFRビットは在りますが使われていません。表10-10はそれぞれのレジスタの詳しい説明へのポインタと合わせて、パワオンリセットまたはウォッチドッグリセット後のそれぞれのSFRの値を示しています。SFRアドレス空間の未使用のアドレスは予約され、書き込まれてはいけないことに注意してください。

次ページの表10-9に注意してください:

- (1) 標準8051のアーキテクチャにない部分
- (2) nRF24E1特有のレジスタ
- (3) 標準8051と異なるP0とP1



Addr	Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x80	PO (3)	Port 0							
0x81	SP	Stack pointer							
0x82	DPL	Data pointer 0, low byte							
0x83	DPH	Data pointer 0, high byte							
0x84	DPL1 (1)	Data pointer 1, low byte							
0x85	DPH1 (1)	Data pointer 1, high byte							
0x86	DPS (1)	0	0	0	0	0	0	0	SEL
0x87	PCON	SMOD	-	1	1	GF1	GF0	STOP	IDLE
0x88	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
0x89	TMOD	GATE	C/T	M1	M0	GATE	C/T	M1	M0
0x8A	TL0	Timer/counter 0 value, low byte							
0x8B	TL1	Timer/counter 1 value, low byte							
0x8C	TH0	Timer/counter 0 value, high byte							
0x8D	TH1	Timer/counter 1 value, high byte							
0x8E	CKCON (1)	-	-	T2M	T1M	T0M	MD2	MD1	MDO
0x8F	SPC_FNC (1)	0	0	0	0	0	0	0	WRS
0x90	P1 (3)	-	-	-	-	-	Port 1 bit 2:0		
0x91	EXIF (1)	IE5	IE4	IE3	IE2	1	0	0	0
0x92	MPAGE (1)	program/data memory page address							
0x94	PO_DIR (2)	Direction of Port 0							
0x95	PO_ALT (2)	Alternate functions of Port 0							
0x96	P1_DIR (2)	-	-	-	-	-	Direction of Port 1		
0x97	P1_ALT (2)	-	-	-	-	-	alt.funct.of Port 1		
0x98	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
0x99	SBUF	Serial port data buffer							
0xA0	RADIO (2)	PWR_UP	DR2/CE	CLK2	DOUT2	CS	DR1	CLK1	DATA
0xA1	ADCCON (2)	CSTRN	ADCRUN	NPD	EXTREF	ADCSEL			
0xA2	ADCDATAH (2)	High bits of ADC result							
0xA3	ADCATAL (2)	Low bits of ADC result				-	ADCUF	ADCOF	ADCRNG
0xA4	ADCSTATIC (2)	DIFFM	SLEEP	CLK8	ADCBIAS			ADCRES	
0xA8	IE	EA	0	ET2	ES	ET1	EX1	ET0	EX0
0xA9	PWMCON (2)	PWM_LENGTH			PWM_PRESCALE				
0xAA	PWMDUTY (2)	PWM DUTY CYCLE							
0xAB	REGX_MSB (2)	High byte of Watchdog/RTC register							
0xAC	REGX_LSB (2)	Low byte of Watchdog/RTC register							
0xAD	REGX_CTRL (2)	-	-	-	Control of REGX_MSB and REGX_LSB				
0xB1	RSTREAS (2)	-	-	-	-	-	-	RFLR	
0xB2	SPI_DATA (2)	SPI DATA input/output bits							
0xB3	SPI_CTRL (2)	-	-	-	-	-	-	SPI_CTRL	
0xB4	SPICLK (2)	-	-	-	-	-	-	SPICLK	
0xB5	TICK_DV (2)	TICK DV							
0xB6	CK_CTRL (2)	-	-	-	-	-	-	CK_CTRL	

0xB8	IP	1	0	PT2	PS	PT1	PX1	PT0	PX0
0xC8	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
0xCA	RCAP2L	Timer/counter 2 capture or reload, low byte							
0xCB	RCAP2H	Timer/counter 2 capture or reload, high byte							
0xCC	TL2	Timer/counter 2 value, low byte							
0xCD	TH2	Timer/counter 2 value, high byte							
0xD0	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
0xD8	EICON(1)	-	1	0	0	WDTI	0	0	0
0xE0	ACC	Accumulator register							
0xE8	EIE(1)	1	1	1	EWDI	EX5	EX4	EX3	EX2
0xF0	B	B-register							
0xF8	EIP(1)	1	1	1	PWDI	PX5	PX4	PX3	PX2
0xFE	HWREV	Device hardware revision number							
0xFF	-----	Reserved, do not use							

表 10 9 : 特別機能レジスタ 一覧表

Register	Addr	Reset value	Description
ACC	0xE0	0x00	Accumulator register
ADCCON	0xA1	0x80	Table 5-1, page 49
ADCDATAH	0xA2	read only	Table 5-3, page 49
ADCDATA L	0xA3	read only	Table 5-3, page 49
ADCSTATIC	0xA4	0x0A	Table 5-2, page 49
B	0xF0	0x00	B-register
CK_CTRL	0xB6	0x00	Table 9-2, page 66
CKCON	0x8E	0x01	Table 10-15, page 88
DPH	0x83	0x00	ch.10.5, page 77
DPH1	0x85	0x00	ch.10.5, page 77
DPL	0x82	0x00	ch.10.5, page 77
DPL1	0x84	0x00	ch.10.5, page 77
DPS	0x86	0x00	ch.10.5, page 77
EICON	0xD8	0x40	Table 7-5, page 57
EIE	0xE8	0xE0	Table 7-6, page 57
EIP	0xF8	0xE0	Table 7-7, page 58
EXIF	0x91	0x08	Table 7-4, page 57
HWREV	0xFE	0x00, read only	hardware revision no
IE	0xA8	0x00	Table 7-2, page 56
IP	0xB8	0x80	Table 7-3, page 56
MPAGE	0x92	0x00	ch.10.1.1.1, page 68
P0	0x80	0xFF	Table 3-3, page 15
P0_ALT	0x95	0x00	Table 3-3, page 15
P0_DIR	0x94	0xFF	Table 3-3, page 15
P1	0x90	0xFF	Table 1-1, page 17
P1_ALT	0x97	0x00	Table 3-5, page 17
P1_DIR	0x96	0xFF	Table 3-5, page 17
PCON	0x87	0x30	Table 9-1, page 65
PSW	0xD0	0x00	Table 10-11, page 82
PWMCON	0xA9	0x00	Table 6-1, page 54
PWMDUTY	0xAA	0x00	Table 6-1, page 54
RADIO	0xA0	0x80	Table 4-2, page 21
RCAP2H	0xCB	0x00	ch.10.8.3.3, page 90
RCAP2L	0xCA	0x00	ch.10.8.3.3, page 90
REGX_CTRL	0xAD	0x00	Table 8-2, page 64
REGX_LSB	0xAC	0x00	Table 8-2, page 64
REGX_MSB	0xAB	0x00	Table 8-2, page 64
RSTREAS	0xB1	0x02	Table 8-3, page 65
SBUF	0x99	0x00	ch.10.9, page 92
SCON	0x98	0x00	Table 10-19, page 93
SP	0x81	0x07	Stack pointer
SPC_FNC	0x8F	0x00	do not use
SPI_CTRL	0xB3	0x00	Table 3-6, page 18
SPI_DATA	0xB2	0x00	Table 3-6, page 18
SPICLK	0xB4	0x00	Table 3-6, page 18
T2CON	0xC8	0x00	Table 10-16, page 90
TCON	0x88	0x00	Table 10-14, page 85
TH0	0x8C	0x00	ch.10.8, page 84
TH1	0x8D	0x00	ch.10.8, page 84

TH2	0xCD	0x00	ch.10.8, page 84
TICK_DV	0xB5	0x1D	Table 8-1, page 61
TL0	0x8A	0x00	ch.10.8, page 84
TL1	0x8B	0x00	ch.10.8, page 84
TL2	0xCC	0x00	ch.10.8, page 84
TMOD	0x89	0x00	Table 10-13, page 85

表 10 10 : アルファベット順特別機能レジスタのリセット値と説明

表10 - 11にはPSWレジスタ中のビットの機能を掲げています。

Bit	Function
PSW.7	CY - Carry flag. Set to 1 when last arithmetic operation resulted in a carry (during addition) or borrow (during subtraction); otherwise cleared to 0 by all arithmetic operations.
PSW.6	AC - Auxiliary carry flag. Set to 1 when last arithmetic operation resulted in a carry into (during addition) or borrow from (during subtraction) the high-order nibble; otherwise cleared to 0 by all arithmetic operations.
PSW.5	F0 - User flag 0. Bit-addressable, general purpose flag for software control.
PSW.4	RS1 - Register bank select bit 1. Used with RS0 to select a register bank in internal RAM.
PSW.3	RS0 - Register bank select bit 0, decoded as: RS1 RS0 Bank selected 0 0 Register bank 0, addresses 0x00-0x07 0 1 Register bank 1, addresses 0x08-0x0F 1 0 Register bank 2, addresses 0x10-0x17 1 1 Register bank 3, addresses 0x18-0x1F
PSW.2	OV - Overflow flag. Set to 1 when last arithmetic operation resulted in a carry (addition), borrow (subtraction), or overflow (multiply or divide); otherwise cleared to 0 by all arithmetic operations.
PSW.1	F1 - User flag 1. Bit-addressable, general purpose flag for software control.
PSW.0	P - Parity flag. Set to 1 when modulo-2 sum of 8 bits in accumulator is 1 (odd parity); cleared to 0 on even parity.

表 10 11 : PSWレジスタ - SFR 0xD0

## 10.7 nRF24E1に特有のSFRレジスタ

下の表にnRF24E1に特有のSFRレジスタ(標準8051のレジスタマップに無い)をリストします。P0, P1とRADIOレジスタは標準8051のP0, P1とP2ポートのアドレスを使用します。これらのポートの機能性は標準8051の対応するポートに似ていますが、同一ではありません。

Addr SFR	R/W	#bit	Init hex	Name	Function
80*	R/W	8	FF	P0	Port 0, pins DIO9 to DIO2

このビットアドレス可能なレジスタは使用方法が、標準8051と異なります。

Addr-SFR	R/W	#bit	Init hex	Name	Function
90*	R/W	8(3)	FF	P1 <sup>5</sup>	Port 1, pins DIN0, DI1, DI0
94	R/W	8	FF	P0_DIR	Direction of each GPIO bit of port 0
95	R/W	8	00	P0_ALT	Select alternate functions for each pin of port 0
96	R/W	8(3)	FF	P1_DIR	Direction for each GPIO bit of port 1
97	R/W	8(3)	00	P1_ALT	Select alternate functions for each pin of port 1
A0*	R/W	8	80	RADIO	General purpose IO for interface to 2401 radio, for details see ch. 4 nRF2401 2.4GHz TRANSCEIVER SUBSYSTEM
A1	R/W	8	80	ADCCON	ADC control register
A2	R	8	XX	ADCDATAH	High 8 bits of ADC result
A3	R	8	XX	ADCDAHAL	Low bits of ADC result (if any) and status
A4	R/W	6	0A	ADCSTATIC	Static configuration data for ADC:
A9	R/W	8	0	PWMCON	PWM control register
AA	R/W	8	0	PWMDUTY	PWM duty cycle
AB	R/W	8	0	REGX_MSB	High part of 16 bit register for interface to Watchdog and RTC
AC	R/W	8	0	REGX_LSB	Low part of 16 bit register for interface to Watchdog and RTC
AD	R/W	5	0	REGX_CTRL	Control of interface to Watchdog and RTC.
B1	R/W	2	02	RSTREAS	Reset status and control
B2	R/W	8	0	SPI_DATA	SPI data input/output
B3	R/W	2	0	SPI_CTRL	00 -> SPI not used 01 -> connect to P1 10 or 11 -> connect to RADIO
B4	R/W	2	0	SPICLK	Divider from CPU clock to SPI clock
B5	R/W	8	1D	TICK_DIV	TICK Divider.
B6	W	2	0	CK_CTRL	Clock control
B7	R	4	0	TEST_MODE	Test mode register. This register must always be 0 in normal mode.
BC	RW	8	#	T1_1V2	Another 3 test mode registers. Initial values must not be changed.
BD	RW	8	#	T2_1V2	
BE	RW	4	#	DEV_OFFSET	

表 10 12 : nRF24E1に特有のSFRレジスタ

## 10.8 タイマ/カウンタ

nRF24E1は3つのタイマ/カウンタ(タイマ0、タイマ1、タイマ2)を含んでいます。それぞれのタイマ/カウンタは、CPUクロックを基準にしたクロックレートのタイマか、またはt0ピン(タイマ0)、t1ピン(タイマ1)、t2ピン(タイマ2)をクロックにしたイベントカウンタか、どちらかで動作することができます。これらのピンはポート0と1の切り替え機能ビットです:t0はP.5、t1はP0.6、t2はP1.0です。詳細は3章のI/Oポートを見てください。

それぞれのタイマ/カウンタは3つのSFRでソフトウェアからアクセス可能な16ビットのレジスタからなっています。(表10-9:特別機能レジスタ)

- Timer 0 - TL0 and TH0
- Timer 1 - TL1 and TH1
- Timer 2 - TL2 and TH2

### 10.8.1 タイマ0と1

タイマ0と1はどちらも、TMOD SFR(表10-13)とTCON SFR(表10-14)を通じて制御される、4つのモードで動作します。4つのモードは:

- 13ビットタイマ/カウンタ(モード0)
- 16ビットタイマ/カウンタ(モード1)
- オートリロードの8ビットカウンタ(モード2)
- 2組の8ビットカウンタ(モード3、タイマ0のみ)

Bit	Function
TMOD.7	GATE - Timer 1 gate control. When GATE = 1, Timer 1 will clock only when external interrupt INT1_N = 1 and TR1 (TCON.6) = 1. When GATE = 0, Timer 1 will clock only when TR1 = 1, regardless of the state of INT1_N.
TMOD.6	C/T - Counter/Timer select. When C/T = 0, Timer 1 is clocked by CPU_clk/4 or CPU_clk/12, depending on the state of T1M (CKCON.4). When C/T = 1, Timer 1 is clocked by the t1 pin.
TMOD.5	M1 - Timer 1 mode select bit 1.
TMOD.4	M0 - Timer 1 mode select bit 0, decoded as: M1 M0 Mode 00 Mode 0 : 13-bit counter 01 Mode 1 : 16-bit counter 10 Mode 2 : 8-bit counter with auto-reload 11 Mode 3 : Two 8-bit counters
TMOD.3	GATE - Timer 0 gate control. When GATE = 1, Timer 0 will clock only when external interrupt INT0_N = 1 and TR0 (TCON.4) = 1. When GATE = 0, Timer 0 will clock only when TR0 = 1, regardless of the state of INT0_N.
TMOD.2	C/T - Counter/Timer select. When C/T = 0, Timer 0 is clocked by CPU_clk/4 or CPU_clk/12, depending on the state of T0M (CKCON.3). When C/T = 1, Timer 0 is clocked by the t0 pin.
TMOD.1	M1 - Timer 0 mode select bit 1.
TMOD.0	M0 - Timer 0 mode select bit 0, decoded as: M1 M0 Mode 00 Mode 0 : 13-bit counter 01 Mode 1 : 16-bit counter 10 Mode 2 : 8-bit counter with auto-reload 11 Mode 3 : Two 8-bit counters



表 10 - 13 : TMODレジスタ - SFR 0x89

Bit	Function
TCON.7	TF1 - Timer 1 overflow flag. Set to 1 when the Timer 1 count overflows and cleared when the CPU vectors to the interrupt service routine.
TCON.6	TR1 - Timer 1 run control. Set to 1 to enable counting on Timer 1.
TCON.5	TF0 - Timer 0 overflow flag. Set to 1 when the Timer 0 count overflows and cleared when the CPU vectors to the interrupt service routine.
TCON.4	TR0 - Timer 0 run control. Set to 1 to enable counting on Timer 0.
TCON.3	IE1 - Interrupt 1 edge detect. If external interrupt 1 is configured to be edge-sensitive (IT1 = 1), IE1 is set by hardware when a negative edge is detected on the INT1_N external interrupt pin and is automatically cleared when the CPU vectors to the corresponding interrupt service routine. In edge-sensitive mode, IE1 can also be cleared by software. If external interrupt 1 is configured to be level-sensitive (IT1 = 0), IE1 is set when the INT1_N pin is low and cleared when the INT1_N pin is high. In level-sensitive mode, software cannot write to IE1.
TCON.2	IT1 - Interrupt 1 type select. When IT1 = 1, the nRF24E1 detects external interrupt pin INT1_N on the falling edge (edge-sensitive). When IT1 = 0, the nRF24E1 detects INT1_N as a low level (level-sensitive).
TCON.1	IE0 - Interrupt 0 edge detect. If external interrupt 0 is configured to be edge-sensitive (IT0 = 1), IE0 is set by hardware when a negative edge is detected on the INT0_N external interrupt pin and is automatically cleared when the CPU vectors to the corresponding interrupt service routine. In edge-sensitive mode, IE0 can also be cleared by software. If external interrupt 0 is configured to be level-sensitive (IT0 = 0), IE0 is set when the INT0_N pin is low and cleared when the INT0_N pin is high. In level-sensitive mode, software cannot write to IE0.
TCON.0	IT0 - Interrupt 0 type select. When IT0 = 1, the nRF24E1 detects external interrupt INT0_N on the falling edge (edge-sensitive). When IT0 = 0, the nRF24E1 detects INT0_N as a low level (level-sensitive).

表 10 - 14 : TCONレジスタ - SFR 0x88

#### 10.8.1.1 モード0

図10 - 2:タイマ0 / 1 - モード0と1に図解したモード0動作はタイマ0とタイマ1で同一です。モード0のとき、タイマはTL0(またはTL1)の0 - 4ビットとTH0(またはTH1)の全8ビットを使用した13ビットカウンタに構成されます。TCON SFRのタイマイネーブルビット(TR0 / TR1)がタイマを起動します。C / Tビットはタイマ / カウンタのクロックソース、CPUクロックまたはt0 / t1を選択します。GATEビットが0かまたはGATEビットが1でかつ該当する割り込みピン(INT0\_NまたはINT1\_N)が無効である限り、タイマは選択されたソースからの変化を数えます。INT0\_NとINT1\_Nポート0の切り替え機能ビットです。表3 1:ポート機能を見てください。13ビットカウントが0x1FFF(全て1)からインクリメントするとき、カウンタは全て0になり、TCON SFRのTF0(またはTF1)ビットはセットされ、t0\_out(またはt1\_out)ピンは1クロックサイクルの間ハイになります。モード0のときTL0(またはTL1)の上位3ビットは不定ですので、ソフトウェアがレジスタを評価するときマスクされなければなりません。

### 10.8.1.2 モード1

モード1動作はタイマ0とタイマ1で同一です。モード1の場合、タイマは16ビットカウンタに構成されます。図10-2:タイマ0/1 - モード0と1に図解されたように、LSBレジスタ(TL0またはTL1)の全8ビットが使われます。カウントが0xFFFFからインクリメントするとき、カウンタは全て0になります。他の点では、モード1の動作はモード0と同じです。

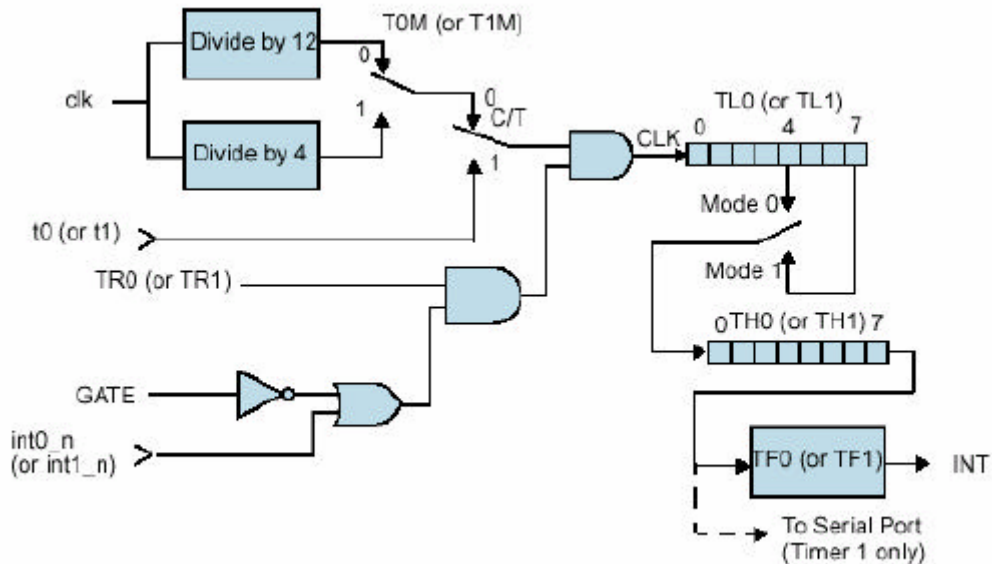


図 10 2 : タイマ0 / 1 - モード0と1

### 10.8.1.3 モード2

モード2動作はタイマ0とタイマ1で同一です。モード2のとき、タイマは開始値を自動的にリロードする8ビットカウンタに構成されます。LSBレジスタ(TL0またはTL1)はカウンタで、MSBレジスタ(TH0またはTH1)はリロードする値を蓄えます。図10-3:タイマ0/1 - モード2に図解されたように、モード2カウンタの制御はモード0とモード1に対するのと同様です。しかしながらモード2では、TLnが0xFFからインクリメントするとき、THnに蓄えられた値がTLnにリロードされます。



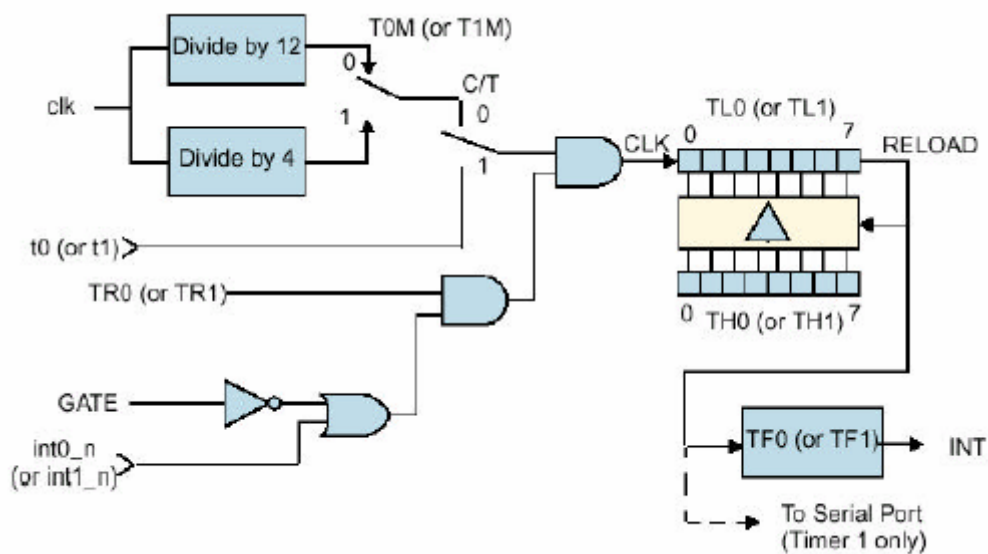


図 10-3 : タイマ0 / 1 - モード2

#### 10.8.1.4 モード3

モード3のとき、タイマ0は2組の8ビットカウンタとして動作し、タイマ1は計数を停止しその値を保持します。図10-4:タイマ0-モード3に示しますように、TL0は、通常のタイマ0制御ビットで制御される、8ビットカウンタに構成されます。TL0は、C/Tビットで決まる、CPUクロックサイクル(4または12分周)かt0のハイからローへの変化かどちらかを計数することができます。GATE機能はINT\_0信号に対するイネーブル制御をカウンタに与えるために使用できます。

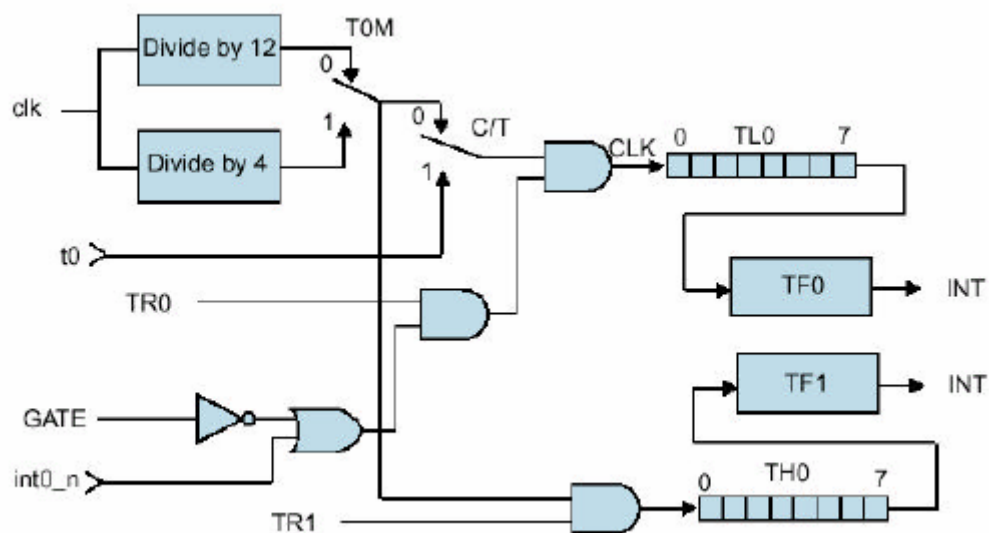


図 10-4 : タイマ0 - モード3

TH0は独立した8ビットカウンタとして機能します。しかしながらTH0はCPUクロックサイクル(4または12分周)のみ計数できます。タイマ1の制御とフラグビット(TR1とTF1)は、TH0の制御とフラグビットとして使用されます。

タイマ0がモード3にいるとき、タイマ0がタイマ1の制御ビット(TR1)と割り込みフラグ(TF1)を使用するので、タイマ1の使い方は制限されます。タイマ1はそれでもポーレート発生器として使えますし、タイマ1の計数値はまだTL1とTH1レジスタに有効です。タイマ0がモード3にいるときのタイマ1の制御はタイマ1モードビットを通します。タイマ1をオンするにはタイマ1をモード0, 1または2に設定します。タイマ1をオフするにはモード3に設定します。タイマ1のC/TビットとT1Mビットはまだタイマ1に対し有効です。したがってタイマ1はCPU\_clk / 4、CPU\_clk / 12、またはt1ピンのハイからローへの変化を数えることができます。タイマ0がモード3にいても、タイマ1のGATE機能もまた有効です。

### 10.8.2 タイマレート制御

nRF24E1タイマに対する初期のタイマクロック構成は、標準8051と同様、インクリメントあたり12CPUクロックサイクルです。しかしnRF24E1では命令サイクルは4クロックサイクルです。

初期のレート(タイマインクリメントあたり12クロック)の使用は、ポーレートのような実時間に依存した、現在のアプリケーションコードが適切に動作するよう考慮しています。しかしながら早いタイミングを要求されるアプリケーションはタイマを、表10-15:CKCONレジスタ - SFR 0x8E で説明されているSFRの0x8Eの位置のクロック制御レジスタ(CKCON)のビットを設定することで、4クロックサイクルごとにインクリメントするよう設定できます。

タイマクロックレートを制御するCKCONのビットは:

#### CKCON bit Counter/Timer

5	Timer 2
4	Timer 1
3	Timer 0

CKCONレジスタビットが1にセットされたとき、関連するカウンタは4クロックサイクル間隔でインクリメントします。CKCONビットがクリアされたとき、関連するカウンタは12クロックサイクル間隔でインクリメントします。タイマ制御はそれぞれ他と独立しています。3組のカウンタに対する初期設定は0、すなわち12クロック間隔です。これらのビットはカウンタモードには影響しません。

Bit	Function
CKCON.7,6	Reserved
CKCON.5	T2M – Timer 2 clock select. When T2M = 0, Timer 2 uses CPU_clk/12 (for compatibility with 80C32); when T2M = 1, Timer 2 uses CPU_clk/4. This bit has no effect when Timer 2 is configured for baud rate generation.
CKCON.4	T1M – Timer 1 clock select. When T1M = 0, Timer 1 uses CPU_clk/12 (for compatibility with 80C32); when T1M = 1, Timer 1 uses CPU_clk/4.
CKCON.3	T0M – Timer 0 clock select. When T0M = 0, Timer 0 uses CPU_clk/12 (for compatibility with 80C32); when T0M = 1, Timer 0 uses CPU_clk/4.
CKCON.2-0	MD2, MD1, MD0 – Control the number of cycles to be used for external MOVX instructions; number of cycles is 2 + { MD2, MD1, MD0}

表 10 - 15 : CKCONレジスタ - SFR 0x8E

既定の初期値はx01,すなわちMOVXは3サイクルかかります。

### 10.8.3 タイマ2

タイマ2は16ビットでのみ動作し、タイマ0と1にはないいくつかの能力を提供します。タイマ2のモードは:

- 16-bit timer/counter
- 16-bit timer with capture
- 16-bit auto-reload timer/counter
- Baud-rate generator

タイマ2に関連するSFRは:

- T2CON – SFR 0xC8; refer to Table 10-16 : T2CON Register – SFR 0x
- RCAP2L – SFR 0xCA – Used to capture the TL2 value when Timer 2 is configured for capture mode, or as the LSB of the 16-bit reload value when Timer 2 is configured for auto-reload mode.
- RCAP2H – SFR 0xCB – Used to capture the TH2 value when Timer 2 is configured for capture mode, or as the MSB of the 16-bit reload value when Timer 2 is configured for auto-reload mode.
- TL2 – SFR 0xCC – Lower eight bits of the 16-bit count.
- TH2 – SFR 0xCD – Upper eight bits of the 16-bit count.

Bit	Function
T2CON.7	TF2 - Timer 2 overflow flag. Hardware will set TF2 when Timer 2 overflows from 0xFFFF. TF2 must be cleared to 0 by the software. TF2 will only be set to a 1 if RCLK and TCLK are both cleared to 0. Writing a 1 to TF2 forces a Timer 2 interrupt if enabled.
T2CON.6	EXF2 - Timer 2 external flag. Hardware will set EXF2 when a reload or capture is caused by a high-to-low transition on the t2ex pin, and EXEN2 is set. EXF2 must be cleared to 0 by the software. Writing a 1 to EXF2 forces a Timer 2 interrupt if enabled.
T2CON.5	RCLK - Receive clock flag. Determines whether Timer 1 or Timer 2 is used for Serial port timing of received data in serial mode 1 or 3. RCLK = 1 selects Timer 2 overflow as the receive clock. RCLK = 0 selects Timer 1 overflow as the receive clock.
T2CON.4	TCLK - Transmit clock flag. Determines whether Timer 1 or Timer 2 is used for Serial port timing of transmit data in serial mode 1 or 3. TCLK = 1 selects Timer 2 overflow as the transmit clock. TCLK = 0 selects Timer 1 overflow as the transmit clock.
T2CON.3	EXEN2 - Timer 2 external enable. EXEN2 = 1 enables capture or reload to occur as a result of a high-to-low transition on t2ex, if Timer 2 is not generating baud rates for the serial port. EXEN2 = 0 causes Timer 2 to ignore all external events at t2ex.
T2CON.2	TR2 - Timer 2 run control flag. TR2 = 1 starts Timer 2. TR2 = 0 stops Timer 2.
T2CON.1	C/T2 - Counter/timer select. C/T2 = 0 selects a timer function for Timer 2. C/T2 = 1 selects a counter of falling transitions on the t2 pin. When used as a timer, Timer 2 runs at four clocks per increment or twelve clocks per increment as programmed by CKCON.5, in all modes except baud-rate generator mode. When used in baud-rate generator mode, Timer 2 runs at two clocks per increment, independent of the state of CKCON.5.
T2CON.0	CP/RL2 - Capture/reload flag. When CP/RL2 = 1, Timer 2 captures occur on high-to-low transitions of t2ex, if EXEN2 = 1. When CP/RL2 = 0, auto-reloads occur when Timer 2 overflows or when high-to-low transitions occur on t2ex, if EXEN2 = 1. If either RCLK or TCLK is set to 1, CP/RL2 will not function, and Timer 2 will operate in auto-reload mode following each overflow.

表 10 16 : T2CONレジスタ - SFR 0xC8

### 10.8.3.1 タイマ2モード制御

表10 - 17はどのようにSFRビットがタイマ2のモードを決定するかまとめています。

RCLK	TCLK	CP/RL2	TR2	Mode
0	0	1	1	16-bit timer/counter with capture
0	0	0	1	16-bit timer/counter with auto-reload
1	X	X	1	Baud-rate generator
X	1	X	1	Baud-rate generator
X	X	X	0	Off

表 10 17 : タイマ2のモード制御要約

### 10.8.3.2 16ビット タイマ/カウンタモード

図10 - 5:タイマ2 - キャプチャ機能を持つタイマ/カウンタは、いかにタイマ2が任意のキャプチャ機能を持ったタイマ/カウンタモードで動作するかを図解しています。C / T2ビットは、16ビットカウンタがクロックサイクル(4または12分周)か、t2ピンのハイからローへの変化か、どちらを計数するか決定します。TR2ビットはカウンタを有効にします。カウントが0xFFFFからインクリメントするとき、TF2フラグはセットされ、t2\_outputは1クロックサイクルの間ハイになります。

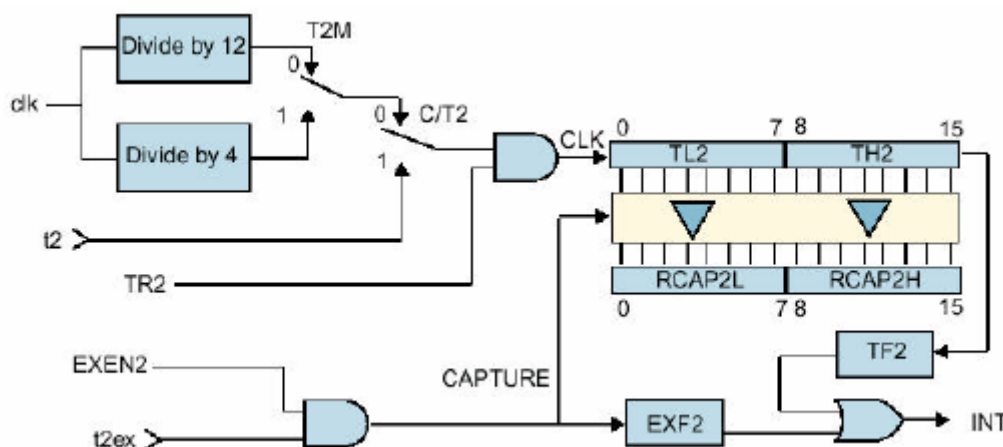


図 10 5 : タイマ2 - キャプチャ機能を持つタイマ/カウンタ

### 10.8.3.3 キャプチャ機能を持つ16ビットタイマ/カウンタモード

図10 - 5:タイマ2 - キャプチャ機能を持つタイマ/カウンタで説明されるタイマ2のキャプチャモードは、キャプチャレジスタと制御信号を付加した16ビットタイマ/カウンタモードと同じです。T2CON SFRのCP / RL2ビットはキャプチャ機能を有効にします。CP / RL2 = 1の場合、EXEN2 = 1のときt2exのハイからローへの変化は、タイマ2の値がキャプチャレジスタ(RCAP2LとRCAP2H)へ取り込まれる原因になります。

### 10.8.3.4 オートリロード機能を持つ16ビットタイマ/カウンタモード

CP/RL2 = 0のときタイマ2は、図10 - 6:タイマ2 - オートリロード機能を持つタイマ/カウンタに例示されるオートリロードモードに構成されます。カウンタ入力の制御は他の16ビットカウンタモードと同様です。カウントが0xFFFFからインクリメントするとき、タイマ2はTF2フラグをセットし、起動値はTL2とTH2にリロードされます。ソフトウェアは起動値をRCAP2LとRCAP2Hレジスタにあらかじめ取り込んでおかなければいけません。

タイマ2がオートリロードモードにいる場合、EXEN2 = 1で有効ならば、リロードはt2exピンのハイからローへの変化によって強制されます。

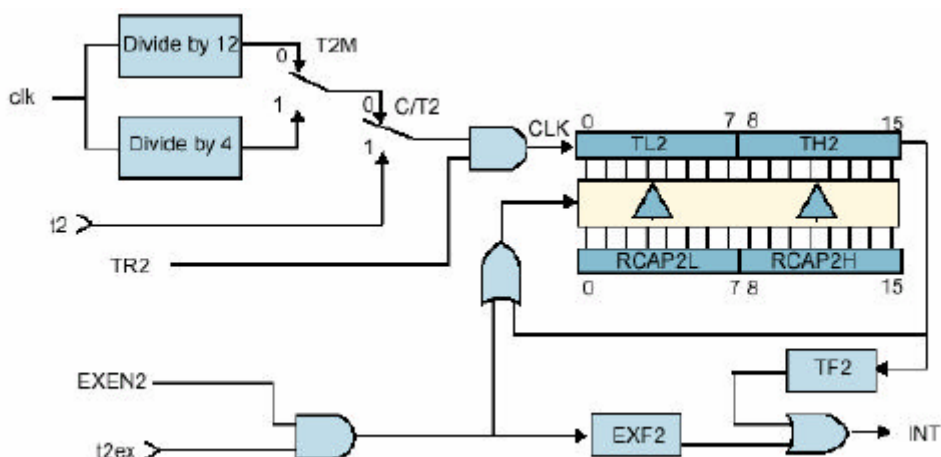


図 10 6 : タイマ2 - オートリロード機能を持つタイマ/カウンタ

### 10.8.3.5 ポーレート発生器モード

RCLKまたはTCLKのどちらかの設定は、タイマ2がシリアルモード1か3のシリアルポートのためのポーレートを発生するよう構成します。ポーレート発生器モードにいるとき、タイマ2はオートリロードモードで機能します。しかしながらTF2フラグの代わりに、カウンタのオーバーフローはシリアルポート機能のためのシフトクロックを発生します。普通のオートリロードモードと同様、オーバーフローもRCAO2LとRCAP2Hにあらかじめ取り込まれた起動値をTL2とTH2レジスタにリロードする原因となります。

TCLK = 1またはRCLK = 1のどちらかの場合、タイマ2はCP/RL2ビットの状態にかかわらず、オートリロード動作になります。

ポーレート発生器として動作するとき、タイマ2はTF2ビットをセットしません。このモードの場合、タイマ2の割り込みは、EXEN2 = 1で有効になっているときのみ、EXF2ビットをセットしたt2exピンのハイからローへの変化によってのみ発生させられます。ポーレート発生器モードのカウンタの時間基準はCPU\_clk / 2です。外部のクロック源を使用するには、C/T2を1にセットし、要求されるクロックのソースをt2ピンに加えてください。



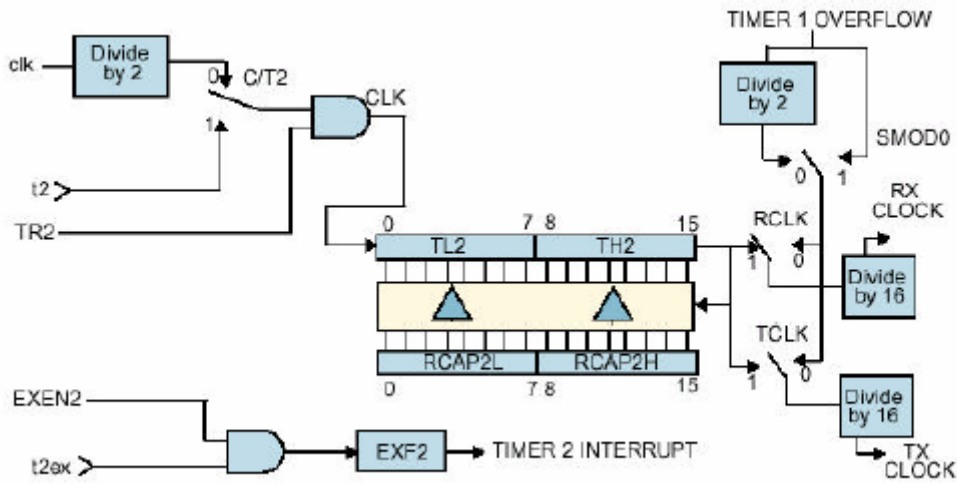


図 10.7 : タイマ2 - ポーレート発生器モード

## 10.9 シリアルインタフェイス

nRF24E1は標準の8051シリアルポートと同じ動作のシリアルポートをひとつ備えています。2つのシリアルポートピン`rx`と`tx`はP0.1とP0.2の切り替え機能で利用できます。詳細は3章I/Oポートをご覧ください。

シリアルポートは同期あるいは非同期モードで操作することができます。同期モードではnRF24E1はシリアルクロックを発生し、シリアルポートは半二重モードで動作します。非同期モードではシリアルポートは全二重モードで動作します。全てのモードでnRF24E1は、ソフトが前のデータを読み終わる前に入ってくるデータをUARTが受け取れるように、受信データを保持レジスタにバッファします。

シリアルポートは、表10-18のような4つのモードのうちの一つで動作します。

Mode	Sync/Async	Baud Clock	Data Bits	Start/ Stop	9th Bit Function
0	Sync	CPU_clk/4 or CPU_clk/12	8	None	None
1	Async	Timer 1 or Timer 2	8	1 start, 1 stop	None
2	Async	CPU_clk/32 or CPU_clk/64	9	1 start, 1 stop	0, 1, parity
3	Async	Timer 1 or Timer 2	9	1 start, 1 stop	0, 1, parity

表 10-18 : シリアルポートモード

シリアルポートに関連するSFRは:

- SCON – SFR 0x98 – Serial port control (Table 10-19)
- SBUF – SFR 0x99 – Serial port buffer

Bit	Function															
SCON.7	SM0 - Serial port mode bit 0.															
SCON.6	SM1 - Serial port mode bit 1, decoded as: <table border="1"> <thead> <tr> <th>SM0</th> <th>SM1</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	SM0	SM1	Mode	0	0	0	0	1	1	1	0	2	1	1	3
SM0	SM1	Mode														
0	0	0														
0	1	1														
1	0	2														
1	1	3														
SCON.5	SM2 - Multiprocessor communication enable. In modes 2 and 3, SM2 enables the multiprocessor communication feature. If SM2 = 1 in mode 2 or 3, RI will not be activated if the received 9 <sup>th</sup> bit is 0. If SM2 = 1 in mode 1, RI will be activated only if a valid stop is received. In mode 0, SM2 establishes the baud rate: when SM2 = 0, the baud rate is CPU_clk/12; when SM2 = 1, the baud rate is CPU_clk/4.															
SCON.4	REN - Receive enable. When REN = 1, reception is enabled.															
SCON.3	TB8 - Defines the state of the 9 <sup>th</sup> data bit transmitted in modes 2 and 3.															
SCON.2	RB8 - In modes 2 and 3, RB8 indicates the state of the 9 <sup>th</sup> bit received. In mode 1, RB8 indicates the state of the received stop bit. In mode 0, RB8 is not used.															
SCON.1	TI - Transmit interrupt flag. Indicates that the transmit data word has been shifted out. In mode 0, TI is set at the end of the 8 <sup>th</sup> data bit. In all other modes, TI is set when the stop bit is placed on the txd pin. TI must be cleared by the software.															
SCON.0	RI - Receive interrupt flag. Indicates that a serial data word has been received. In mode 0, RI is set at the end of the 8 <sup>th</sup> data bit. In mode 1, RI is set after the last sample of the incoming stop bit, subject to the state of SM2. In modes 2 and 3, RI is set at the end of the last sample of RB8. RI must be cleared by the software.															

表 10 - 19: SCONレジスタ - SFR 0x98

### 10.9.1 モード0

シリアルモード0は同期・半二重通信を備えています。シリアルポート0で、入力と出力の双方のシリアルデータはrxdピンに現れ、txdは送信、受信双方のシフトクロックを供給します。rxdとtxdはポート0の切り替え機能ビットです。表3 2:ポート0(P0)のポートとピンの設定のための機能も併せて見てください。nRF24E1のオープンドレインポートの不足は、rxdピンの方向制御をプログラマの責任にします。

シリアルモード0のボーレートは、SMの状態により、CPU\_clk / 12またはCPU\_clk / 4です。SM2 = 0のときボーレートはCPU\_clk / 12で、SM2 = 1のときCPU\_clk / 4です

モード0動作は標準8051と同等です。命令がSBUF SFRに書き込まれた時、データ送信は始まります。UARTは最下位ビットを最初に、選択されたボーレートで、8ビットの値が終わるまで、データを外へ移動しません。

モード0のデータ受信は、関連するSCON SFRのRENビットがセットされRIビットがクリアされたときに、開始します。シフトクロックは始動し、UARTはデータを、シフトクロックのそれぞれの立ち上がりエッジで、8ビットが受信し終わるまで、中に移動します。8番目のビットが中に移動した後の1マシンサイクルで、RIビットはセットされ、RIビットがソフトウェアがクリアするまで、受信を停止します。

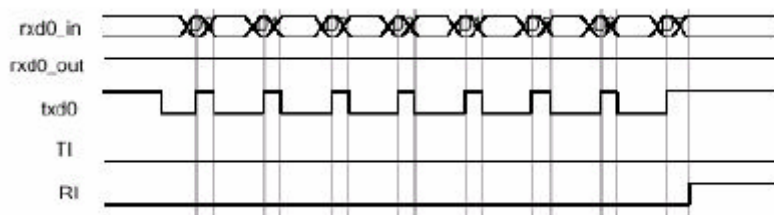


図 10 8 : シリアルポートモード0の低速度(CPU\_clk / 12)動作の受信タイミング

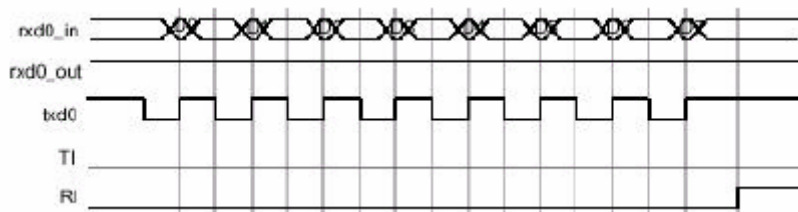


図 10 9 : シリアルポートモード0の高速度(CPU\_clk / 4)動作の受信タイミング

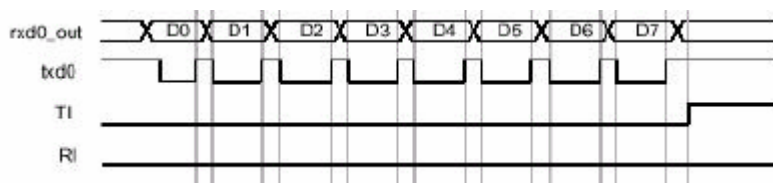


図 10 10 : シリアルポートモード0の低速度(CPU\_clk / 12)動作の送信タイミング

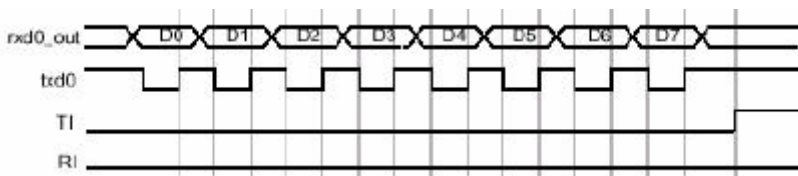


図 10 11 : シリアルポートモード0の高速度(CPU\_clk / 4)動作の送信タイミング

## 10.9.2 モード1

モード1は、1スタートビット・8データビット・1ストップビットの計10ビットを使った、標準的な非同期・全二重通信を備えています。受信動作のため、ストップビットはRB8に保存されます。データビットは最下位ビットが最初に送受信されます。

### 10.9.2.1 モード1のボーレート

モード1のボーレートはタイマのオーバフロー機能です。シリアルポートはボーレートを発生するため、タイマ1またはタイマ2のどちらでも使えます。タイマがその最大カウント(タイマ1で0xFF、タイマ2で0xFFFF)からインクリメントするたびに、クロックはボーレート回路に送られます。クロックはボーレート発生のため、16分周されます。タイマ1を使うとき、SMODビットはいずれにせよ、タイマ1のロールオーバーレートを2分周する選択をします。したがって、タイマ1を使っているとき、ボーレートは次式で決定されます。



$$\text{Baud Rate} = \frac{2^{\text{SMOD}}}{32} \times \text{Timer 1 Overflow}$$

SMOD is SFR bit PCON.7

タイマ2を使っているとき、ボーレートは次式で決定されます。

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow}}{16}$$

タイマ1をボーレート発生器として使うため、すべてのカウンタモードが使えますが、モード2(自動リロードの8ビットカウンタ)が最良です。タイマ1のリロード値はTH1レジスタに保存され、それはタイマ1のための完全な式を作ります。

$$\text{Baud Rate} = \frac{2^{\text{SMOD}}}{32} \times \frac{\text{clk}}{4 \times (256 - \text{TH1})}$$

上の式で分母の4はCKCON SFRのTM1ビットをセットすることにより得られます。既知のボーレートから(TM1 = 0のとき)TH1の値を引き出すため、次式を使用してください。

$$\text{Baud Rate} = \frac{2^{\text{SMOD}}}{32} \times \frac{\text{clk}}{4 \times (256 - \text{TH1})}$$

タイマ1をモード1に、タイマ1割り込みを16ビットソフトウェアリロードに初期化して使うよう設定し、タイマ1割り込みを可能にすることで超低速ボーレートを達成することができます。表10-20に共通シリアルポートのボーレートの種類のリロード値の例を掲げます。

Desired Baud Rate	SMOD	C/T	Timer 1 Mode	TH1 Value for 16 MHz CPU clk	TH1 Value for 8 MHz CPU clk
19.2 Kb/s	1	0	2	0xF3	-
9.6 Kb/s	1	0	2	0xE6	0xF3
4.8 Kb/s	1	0	2	0XcC	0xE6
2.4 Kb/s	1	0	2	0x98	0xCC
1.2 Kb/s	1	0	2	0x30	0x98

表 10 - 20: シリアルポートモード1ボーレートのためのタイマ1リロード値

タイマ2をボーレート発生器として使用するため、タイマ2をオートリロードモードに設定し、T2CON SFRのTCLKとノまたはRCLKをセットしてください。TCLKはタイマ2の送信ボーレート発生器を選択し、RCLKはタイマ2の受信ボーレート発生器を選択します。タイマ2の16ビットリロード値はRCAP2LとRCAP2H SFRに保存され、それはタイマ2のボーレートのための式を作ります。

$$\text{Baud Rate} = \frac{\text{clk}}{32 \times (65536 - \{\text{RCAP2H}, \text{RCAP2L}\})}$$

ここでRCAP2H, RCAP2Lは符号なし16進数をとるRCAP2HとRCAP2Lの内容です。分母の32は、2分周されたCPU\_clkと16分周されたタイマ2オーバフローの結果です。TCLKまたはRCLKを1にセットすると、図10 7:タイマ2 ポーレート発生器モードのように、CKCON SFRのT2Mビットで決定された4または12に変わり、自動的に2分周したCPU\_clk信号が元になります。

既知のポーレートから要求されるRCAP2HとRCAP2Lの値を得るには、次式を使用してください。

$$\text{RCAP2H,RCAP2L} = 65536 - \frac{\text{clk}}{32 \times \text{Baud Rate}}$$

表10 21にいろいろな望まれるポーレートに対する、RCAP2LとRCAP2Hの値の例を掲げます。

Baud Rate	C/ T2	16 MHz CPU clk	
		RCAP2H	RCAP2L
57.6 Kb/s	0	0xFF	0xF7
19.2 Kb/s	0	0xFF	0xE6
9.6 Kb/s	0	0xFF	0xCC
4.8 Kb/s	0	0xFF	0x98
2.4 Kb/s	0	0xFF	0x30
1.2 Kb/s	0	0xFE	0x5F

表 10 21 : シリアルポートモード1のポーレートのためのタイマ2リロード値

RCLKまたはTCLKのどちらかがセットされたとき、TF2フラグはタイマ2ロールオーバでセットされませんし、t2exリロードトリガは無効です。

#### 10.9.2.2 モード1 送信

図10 12はモード1の送信タイミングを例示しています。モード1の場合、ソフトウェアがSBUFレジスタに書き込んだ後、16分周カウンタの最初のロールオーバの後、UARTは送信を開始します。UARTは次の順でtxdピンからデータを送信します。スタートビット、8つのデータビット(最下位ビットが最初)、ストップビット。TIビットはストップビットが送信された2クロックサイクル後にセットされます。

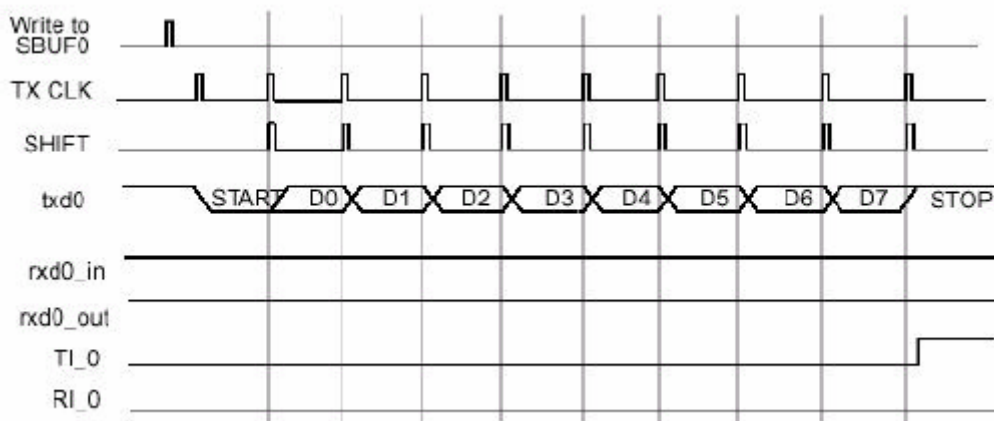


図 10 12 : シリアルポートのモード1送信タイミング

### 10.9.2.3 モード1 受信

図10 13はモード1の受信タイミングを例示しています。RENビットによって有効にされているとき、rxd\_inのスタートビットの立ち上がりエッジを受信したとき、受信を開始します。この目的のため、rxd\_inはボーレートのビットごとに16回サンプルします。スタートビットの立ち上がりエッジが検出されたとき、受信クロックを発生するのに使う16分周されたカウンタはビットの境界にロールオーバを整理させるため、リセットします。

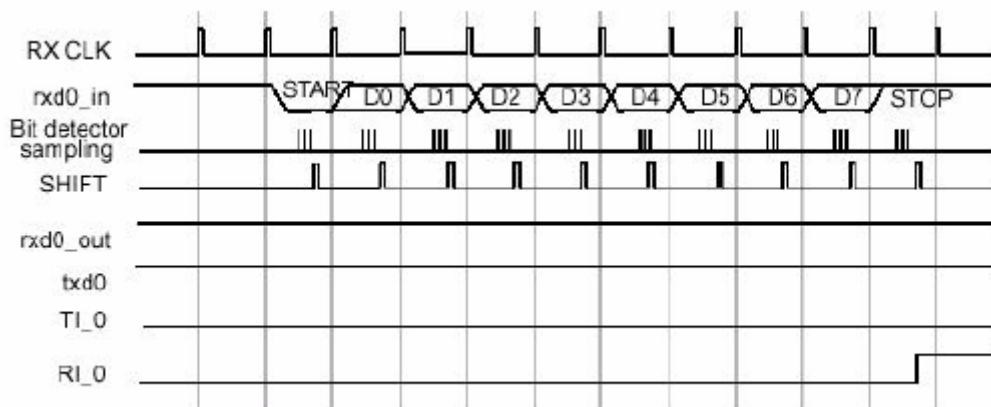


図 10 13 : シリアルポートのモード1受信タイミング

ノイズを除去するためシリアルポートは、それぞれのビット時間の中央の連続した3つのサンプルの多数決で、それぞれの受信ビットの内容を確立します。これはとりわけスタートビットに対しては真実です。もし連続した3つのサンプル(ロー)の多数決で確認されなければ、シリアルポートは受信を停止し、rxd\_inの別の立ち上がりエッジを待ちます。

ストップビット時間の中央で、シリアルポートは以下の条件を照合します。

- RI = 0
- If SM2 = 1, the state of the stop bit is 1

(if SM2 = 0, the state of the stop bit does not matter)

もし上の条件に会うと、シリアルポートはそれからSBUFレジスタに受信したバイトを書込み、RB8にストップビットを積み、そしてRIビットをセットします。もし上の条件に会わないと、受信したデータは失われ、SBUFレジスタとRB8ビットには積まれなく、RIビットはセットされません。ストップビット時間の中央の後、シリアルポートはrx\_d\_inピンの別のハイからローへの変化を待ちます。

モード1動作は、CPU\_clk / 12 (初期値)でタイマ1と2を使用しているとき、標準8051と同様です。

### 10.9.3 モード2

モード2は全部で11のビットを使い、非同期、全二重通信を備えています。

- One start bit
- Eight data bits
- One programmable 9th bit
- One stop bit

データビットは最下位ビットを最初に、送受信されます。送信のため、9番目のビットはTB8の値で決定されます。9番目のビットをパリティビットとして使うため、Pビット(SFR\_PSW.0)の値をTB8へ移動してください。

モード2のボーレートはSMODビットで決められる、CPU\_clk / 32またはCPU\_clk / 64です。モード2ボーレートの式は:

$$\text{Baud Rate} = \frac{2^{\text{SMOD}} * \text{clk}}{64}$$

モード2動作は標準8051と同じです。

#### 10.9.3.1 モード2 送信

図10-14はモード2の送信タイミングを例示しています。ソフトウェアがSBUFに書くのに続く16分周カウンタの最初のロールオーバーの後に、送信は開始します。UARTは次の順でtx\_dピンにデータを送出します。スタートビット、8つのデータビット(最下位ビットが最初)、9番目のビット、ストップビット。ストップビットがtx\_dピンに置かれたとき、TIビットはセットされます。

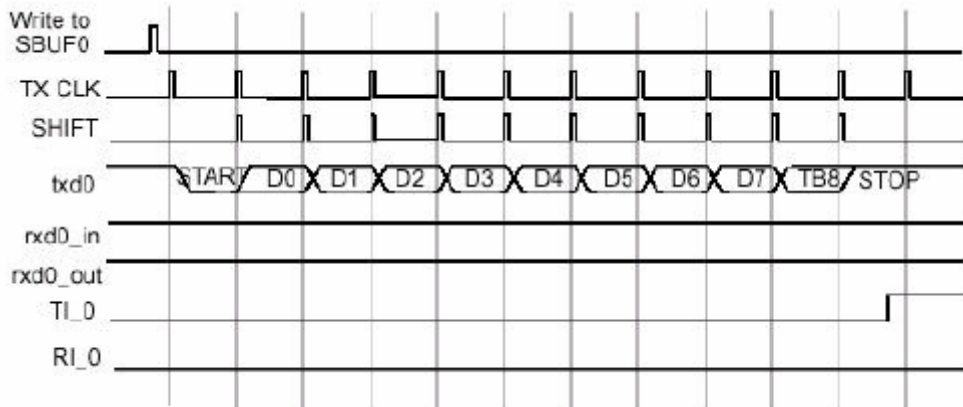


図 10 14 : シリアルポートのモード2送信タイミング

### 10.9.3.2 モード2受信

図10 15はモード2の受信タイミングを例示しています。RENビットによって有効にされているとき、rxd\_inのスタートビットの立ち上がりエッジを受信したとき、受信を開始します。この目的のため、rxd\_inはボーレートのビットごとに16回サンプルします。スタートビットの立ち上がりエッジが検出されたとき、受信クロックを発生するのに使う16分周されたカウンタはビットの境界にロールオーバを整理させるため、リセットします。

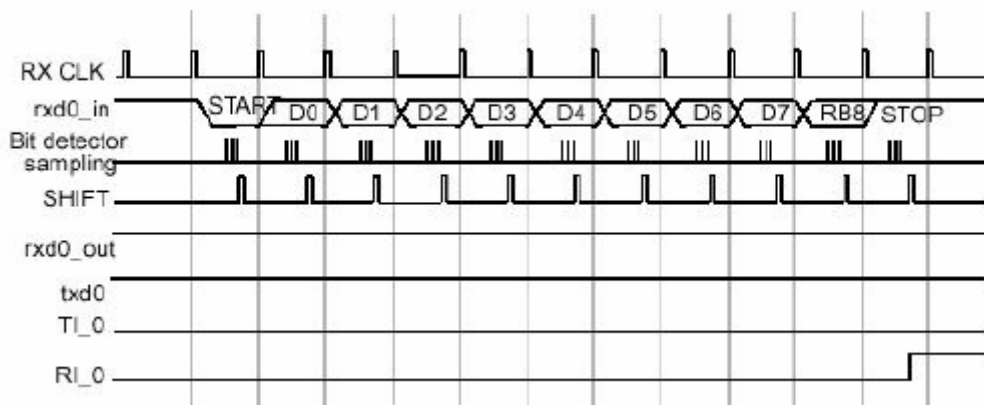


図 10 15 : シリアルポートのモード2受信タイミング

ノイズを除去するためシリアルポートは、それぞれのビット時間の中央の連続した3つのサンプルの多数決で、それぞれの受信ビットの内容を確立します。これはとりわけスタートビットに対しては真実です。もし連続した3つのサンプル(ロー)の多数決で確認されなければ、シリアルポートは受信を停止し、rxd\_inの別の立ち上がりエッジを待ちます。

ストップビット時間の中央で、シリアルポートは以下の条件を照合します。

- RI = 0

- If SM2 = 1, the state of the stop bit is 1  
(if SM2 = 0, the state of the stop bit does not matter)

もし上の条件に会うと、シリアルポートはそれからSBUFレジスタに受信したバイトを書込み、RB8に9番目の受信したビットを積み、そしてRIビットをセットします。もし上の条件に会わないと、受信したデータは失われ、SBUFレジスタとRB8ビットには積まれなく、RIビットはセットされません。ストップビット時間の中央の後、シリアルポートはrxd\_inピンの別のハイからローへの変化を待ちます。

### 10.9.4 モード3

モード3は全部で11のビットを使い、非同期、全二重通信を備えています。

- One start bit
- Eight data bits
- One programmable 9th bit
- One stop bit; the data bits are transmitted and received LSB first

モード3の送受信動作はモード2と同じです。モード3のボーレート発生器はモード1と同じです。すなわちモード3は、モード2の Protokol とモード1のボーレートの組み合わせです。図10-16はモード3の送信タイミングを例示しています。モード3動作は、CPU\_clk / 12 (初期値) でタイマ1と2を使用しているとき、標準8051と同様です。

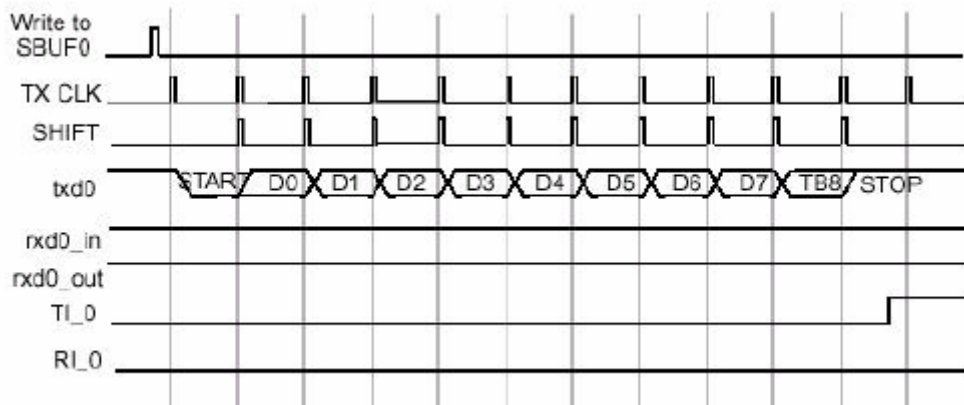


図 10 16 : シリアルポートのモード3送信タイミング

図10-17はモード3の受信タイミングを例示しています。

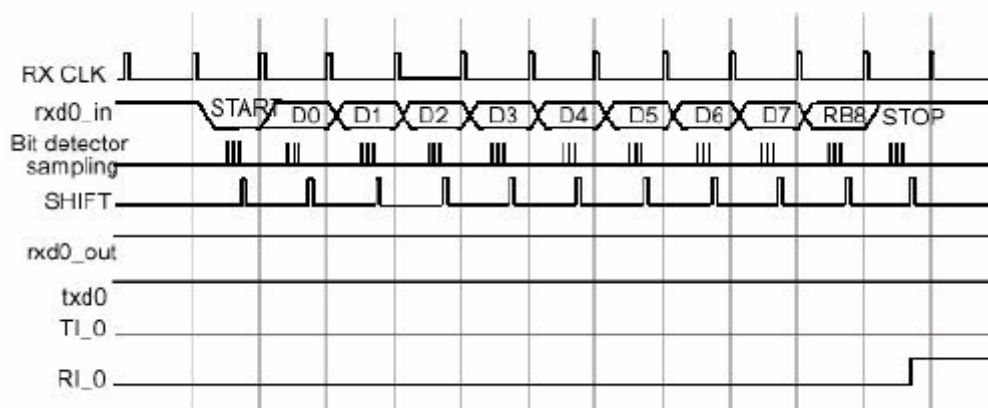


図 10 17 : シリアルポートのモード3受信タイミング

### 10.9.5 マルチプロセッサ通信

シリアルポートのための SCON SFR の SM2 ビットがセットされているとき、マルチプロセッサ通信機能が有効です。マルチプロセッサ通信モードのとき、受信された 9 番目のビットは RB8 に保存され、ストップビットが受信された後、RB8 = 1 のときのみシリアルポート割り込みは起動させられます。マルチプロセッサ通信機能の代表的な使い方は、マスタがデータの塊をいくつかのスレーブのひとつに送りたいときです。マスタは最初に目的のスレーブを見分けるアドレスバイトを送信します。アドレスバイトを送信するとき、マスタは 9 番目のビットを 1 にセットします。データバイトのとき、9 番目のビットは 0 です。

SM2 = 1 のとき、データバイトで割り込まれるスレーブはありません。しかしながら、どのスレーブが指定されたか、スレーブが受信したアドレスバイトを検査できるように、アドレスバイトは全てのスレーブに割り込みます。アドレスなのでコードは、割り込みサービスルーチンの間に、ソフトウェアでされなければいけません。指定されたスレーブはその SM2 ビットをクリアし、データバイトの受信の準備をします。指定されなかったスレーブは SM2 ビットの設定を残し、入力されるデータバイトを無視します。



## 11 電氣的仕様

Conditions: VDD = +3V, VSS = 0V, T<sub>A</sub> = - 40°C to + 85°C

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
<b>Operating conditions</b>						
VDD	Supply voltage		1.9	3.0	3.6	V
TEMP	Operating Temperature		-40	+27	+85	°C
<b>Digital input pin</b>						
V <sub>IH</sub>	HIGH level input voltage		VDD - 0.3		VDD	V
V <sub>IL</sub>	LOW level input voltage		VSS		0.3	V
C <sub>i</sub>	input capacitance			0.55		pF
I <sub>IL</sub>	input leakage current			0.08		nA
<b>Digital output pin</b>						
V <sub>OH</sub>	HIGH level output voltage (I <sub>OH</sub> =0.5mA)		VDD - 0.3		VDD	V
V <sub>OL</sub>	LOW level output voltage (I <sub>OL</sub> =-0.5mA)		VSS		0.3	V
<b>Microcontroller</b>						
f <sub>XTAL</sub>	Crystal frequency	2)	4		20	MHz
f <sub>LP OSC</sub>	Low power RC oscillator frequency	1	1		5.5	KHz
I <sub>VDD MCU</sub>	Supply current @16MHz @3V			3		mA
I <sub>VDD pwrd</sub>	Average Supply current in power down			2		μA
<b>General RF conditions</b>						
f <sub>OP</sub>	Operating frequency	1)	2400		2524	MHz
Δf	Frequency deviation			±156		KHz
R <sub>GFSK</sub>	Data rate ShockBurst™		>0		1000	kbps
F <sub>CHANNEL</sub>	Channel spacing			1		MHz
<b>Transmitter operation</b>						
P <sub>RF</sub>	Maximum Output Power	4)		0	+4	dBm
P <sub>RFC</sub>	RF Power Control Range		16	20		dB
P <sub>RFCR</sub>	RF Power Control Range Resolution				±3	dB
P <sub>BW</sub>	20dB Bandwidth for Modulated Carrier				1000	KHz
P <sub>RF2</sub>	2 <sup>nd</sup> Adjacent Channel Transmit Power 2MHz				-20	dBm
P <sub>RF3</sub>	3 <sup>rd</sup> Adjacent Channel Transmit Power 3MHz				-40	dBm
I <sub>VDD TX0</sub>	Supply current @ 0dBm output power	5)		13		mA
I <sub>VDD TX20</sub>	Supply current @ -20dBm output power	5)		9		mA
<b>Receiver operation</b>						
I <sub>VDD RX</sub>	Supply current one receiver @250kbps	3)		18		mA
I <sub>VDD RX</sub>	Supply current one receiver @1000kbps	3)		19		mA
I <sub>VDD RX2</sub>	Supply current two receivers @250kbps	3)		23		mA
I <sub>VDD RX2</sub>	Supply current two receivers @1000kbps	3)		25		mA
RX <sub>SENS</sub>	Sensitivity at 0.1%BER (@250kbps)			-90		dBm
RX <sub>SENS</sub>	Sensitivity at 0.1%BER (@1000kbps)			-80		dBm
C/I <sub>CO</sub>	C/I Co-channel	6)		10		dB
C/I <sub>1ST</sub>	1 <sup>st</sup> Adjacent Channel Selectivity C/I 1MHz	6)		-20		dB
C/I <sub>2ND</sub>	2 <sup>nd</sup> Adjacent Channel Selectivity C/I 2MHz	6)		-37		dB
C/I <sub>3RD</sub>	3 <sup>rd</sup> Adjacent Channel Selectivity C/I 3MHz	6)		-43		dB
RX <sub>B</sub>	Blocking Data Channel 2			-41		dB



<b>ADC operation</b>						
DNL	Differential Nonlinearity $f_{IN} = 0.9991$ kHz	I		$\pm 0.5$		LSB
INL	Integral Nonlinearity $f_{IN} = 0.9991$ kHz	I		$\pm 0.75$		LSB
SNR	Signal to Noise Ratio (DC input)	V		59		dBFS
$V_{OS}$	Midscale offset	I		$\pm 1$		%FS
$\epsilon_G$	Gain Error	I		$\pm 1$		%FS
SNR	Signal to Noise Ratio (without harmonics) $f_{IN} = 10$ kHz	V	53	58		dBFS
SFDR	Spurious Free Dynamic Range $f_{IN} = 10$ kHz	V		65		dB
$V_{BG}$	Internal reference	I	1.1	1.22	1.3	V
	Internal reference voltage drift	V		100		ppm/°C
$V_{FS}$	Reference voltage input (external ref)	I	0.8		1.5	V
$F_{S6}$	6 bit conversion	IV	$f_{XTAL} / 160$		$f_{XTAL} / 128$	SPS
$F_{S8}$	8 bit conversion	IV	$f_{XTAL} / 192$		$f_{XTAL} / 160$	SPS
$F_{S10}$	10 bit conversion	IV	$f_{XTAL} / 224$		$f_{XTAL} / 192$	SPS
$F_{S12}$	12 bit conversion	IV	$f_{XTAL} / 256$		$f_{XTAL} / 224$	SPS
$I_{ADC}$	Supply current ADC operation	I		1		mA
$t_{NPD}$	Start-up time from ADC Power down	I		15		$\mu s$

NOTES:

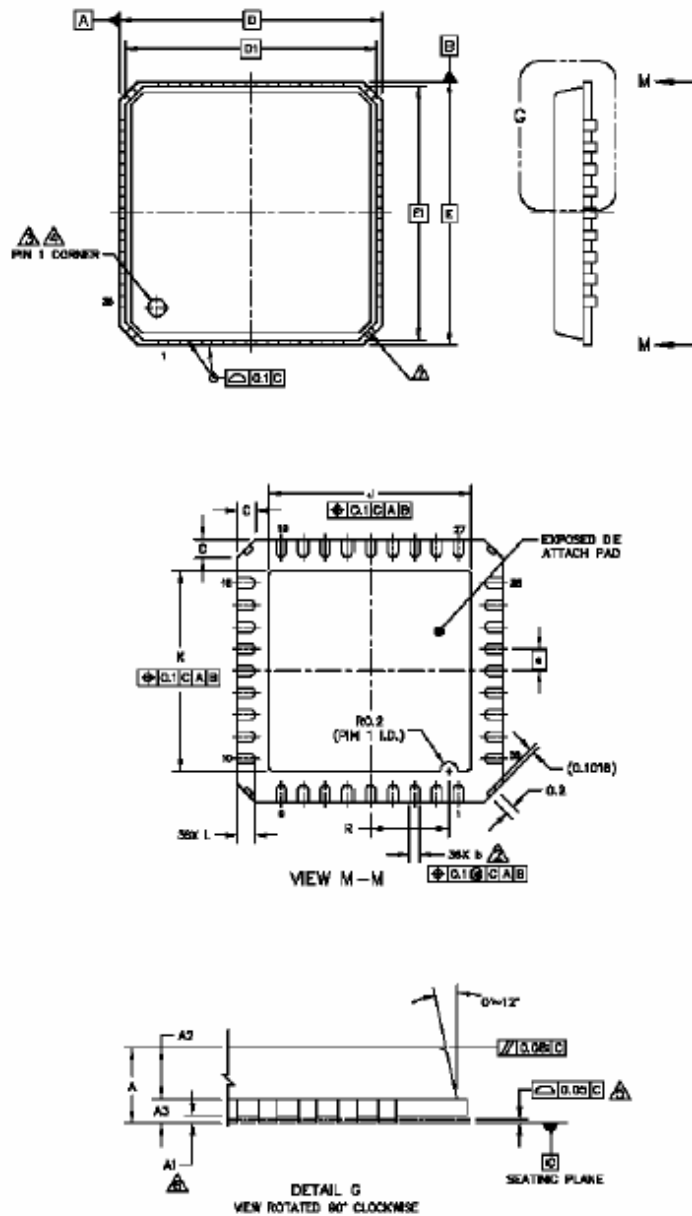
- 1) Usable band is determined by local regulations
- 2) The crystal frequency may be chosen from 5 different values (4, 8, 12, 16, and 20MHz) which are specified in the nRF2401 configuration word, please see Table 14-2 Crystal specification of the nRF24E1. 16MHz is required for 1Mbps operation.
- 3) Current for nRF2401 RF subsystem only.
- 4) Antenna load impedance =  $100\Omega + j175\Omega$
- 5) Current for nRF2401 RF subsystem only. Antenna load impedance =  $100\Omega + j175\Omega$ . Effective data rate 250kbps or 1Mbps.
- 6) 250kbps.
- I) Test Level I: 100% production tested at +25°C
- II) Test Level II: 100% production tested at +25°C and sample tested at specified temperatures
- III) Test Level III: Sample tested only
- IV) Test Level IV: Parameter is guaranteed by design and characterization testing
- V) Test Level V: Parameter is typical value only
- VI) Test Level VI: 100% production tested at +25°C. Guaranteed by design and characterization testing for industrial temperature range

表 11.1 : nRF24E1 電気的仕様

## 12 パッケージ外形図

### 12.1 グリーンパッケージ外形図

nRF24E1G uses the GREEN QFN36 6x6 package, punch type with matt tin plating. Dimensions are in mm.

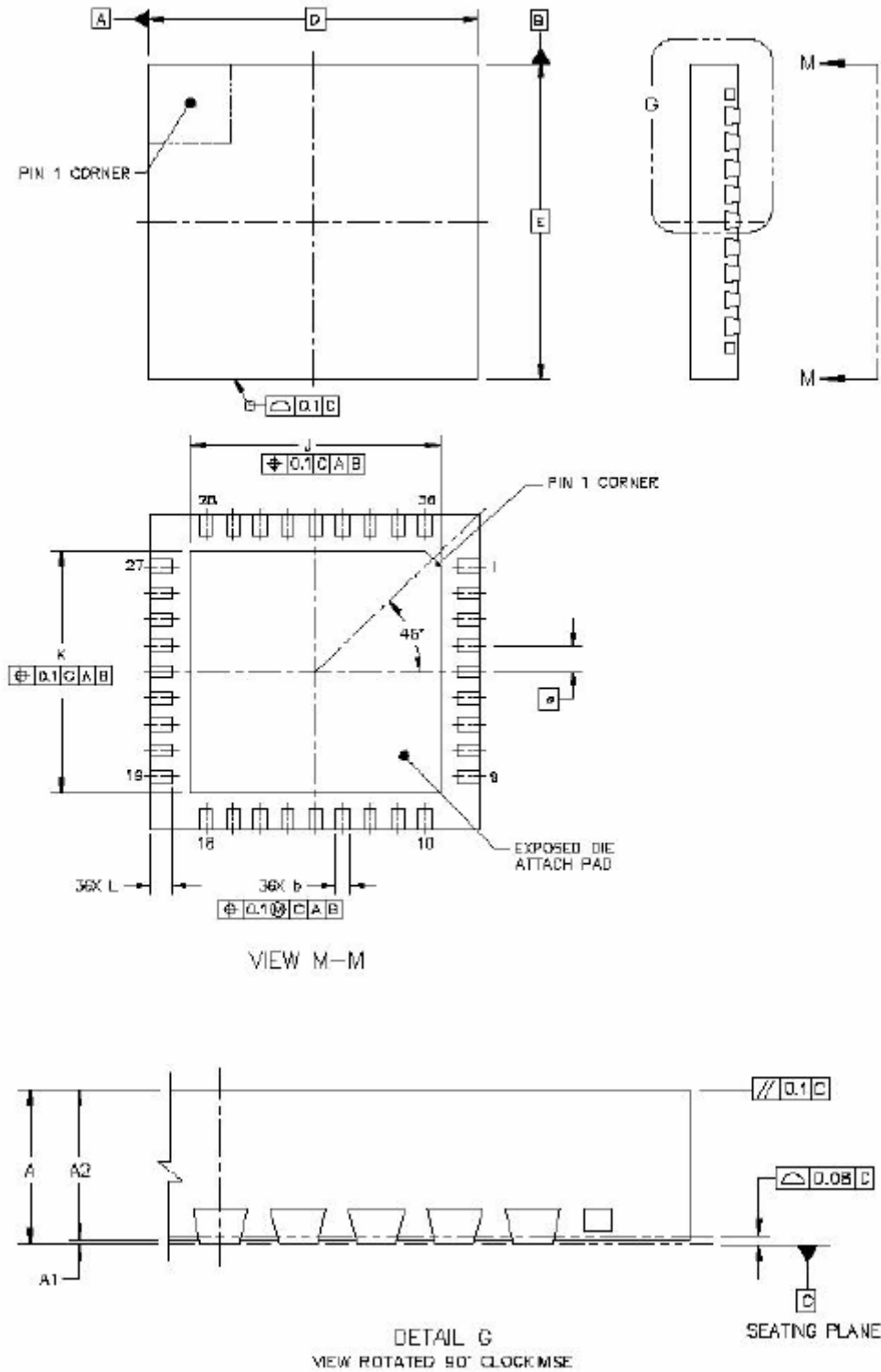


Package Type		A	A <sub>1</sub>	A <sub>2</sub>	b	D/E	D1/E1	e	J	K	L	R
Green QFN36 (6x6 mm)	Min	0.8	0.0	0.65	0.18	6 BSC	5.75 BSC	0.5 BSC	4.47	4.47	0.3	1.735
	typ.		0.02		0.23				4.57	4.57	0.4	1.835
	Max	0.9	0.05	0.69	0.3				4.67	4.67	0.5	1.935

図 12.1 : nRF24E1 グリーンパッケージ外形図

## 12.2 ソータイプの外形

nRF24E1 uses the QFN 36LD 6x6 Saw type package., with SnPb plating. Dimensions are in mm.



Package Type		A	A <sub>1</sub>	A <sub>2</sub>	b	D	E	e	J	K	L
QFN36 (6x6 mm)	Min	0.8	0.0	0.75	0.2	6 BSC	6 BSC	0.5 BSC	4.47	4.47	0.35
	typ.				0.25				4.57	4.57	0.4
	Max	1	0.05	1	0.3				4.67	4.67	0.45

図 12.2 : nRF24E1 パッケージ外形図

## 13 絶対最大定格

### Supply voltages

VDD ..... - 0.3V to + 3.6V

VSS ..... 0V

### Input voltage

For analog pins, AIN0 to AIN7 and AREF :

V<sub>IA</sub> ..... - 0.3V to 2.0 V

For all other pins :

V<sub>I</sub> ..... - 0.3V to VDD + 0.3V

### Output voltage

V<sub>O</sub> ..... - 0.3V to VDD + 0.3V

### Total Power Dissipation

P<sub>D</sub> (T<sub>A</sub>=85°C) ..... 60mW

### Temperatures

Operating Temperature .... - 40°C to + 85°C

Storage Temperature ..... - 40°C to + 125°C

*Note: Stress exceeding one or more of the limiting values may cause permanent damage to the device.*

### 13.1.1 注意

静電気に敏感な素子です。取り扱いにご注意ください。



## 14 高周波周辺情報

### 14.1.1 アンテナ出力

ANT1とANT2出力ピンはアンテナへの平衡高周波出力を備えています。ピンは高周波チョークまたはダイポールアンテナの中心点のどちらかを經由して、VDDに直流的な通路を持たなければいけません。ANT1 / ANT2の間から見た負荷インピーダンスは200 - 700オームの範囲に無ければいけません。最高出力(0dBm)には100 + j175オームの負荷が推奨です。より低い負荷インピーダンス(例えば50オーム)は単純な整合ネットワークで実現できます。

### 14.1.2 出力電力の調整

Power setting bits of configuring word	RF output power	DC current consumption
11	0 dBm ±3dB	16.0 mA
10	-5 dBm ±3dB	13.5 mA
01	-10 dBm ±3dB	12.4 mA
00	-20 dBm ±3dB	11.8 mA

表 14 1 : nRF24E1の高周波出力電力設定

### 14.1.3 水晶の仕様

公差は初期精度と、温度と経年による公差を含んでいます。

Frequency	C <sub>L</sub>	ESR	C <sub>0max</sub>	Tolerance
4 MHz	12pF	150 Ω	7.0pF	±30ppm
8 MHz	12pF	100 Ω	7.0pF	±30ppm
12 MHz	12pF	100 Ω	7.0pF	±30ppm
16 MHz	12pF	100 Ω	7.0pF	±30ppm
20 MHz	12pF	100 Ω	7.0pF	±30ppm

表 14 2 : nRF24E1の水晶の仕様

低消費電力と早い起動時間を解決する水晶発振機を達成するには、負荷容量の値の低い水晶を指定することをお勧めします。C<sub>L</sub> = 12 pFであれば問題ありませんが、~ 16 pFまででも使用は可能です。

クリスタルの等価並列容量値やC<sub>0</sub>を低くすることは良いことですがコストが問題となります。

C<sub>0\_max</sub> = 7.0 pFのクリスタル場合、C<sub>0</sub>は通常1.5 pFです。

選択された周波数値はnRF24E1のコンフィギュレーションワードにも設定しなければいけません。表4 - 12:水晶周波数設定を見てください。

## 14.2 プリント基板の配置とデカップリングのガイドライン

良いRF特性を得るためにはPCB設計が重要になります。PCB設計の不備は性能や機能の低下を引き起こしてしまいます。Nordic社webサイト([www.nvlsi.no](http://www.nvlsi.no))にNordic社でクオリファイしたnRF2401とマッチング回路等を含む周辺部品のRFレイアウトがダウンロードできるよう準備されていますので活用ください。

性能を最適化するため、最低限グランドプレーンを含んだ2層PCBの使用をお勧めします。nRF2401のDC電源はVDDに出きる限り近い位置で高性能RFコンデンサを使用しデカップリングする必要があります。(表2.2参照)大容量の表面実装コンデンサ(例: 4.7  $\mu$ Fタンタル)と小容量のコンデンサを並列に使用する方法が望ましい方法です。nRF2401の電源はフィルタリングし、デジタル回路用電源への供給とは分割すべきでしょう。

PCB上での長い電源配線は避けてください。グランド、VDD結線、VDDバイパス・コンデンサは可能な限りnRF2401に近くになるようにしてください。TOP sideがRFグランド・プレーンになるPCBでは、VSSは直接グランドプレーンに接続します。最良の方法は各VSS端子近くにそれぞれビア・ホールを持つ方法です。

フルスイングするデジタルデータや制御信号は電源線やクリスタルの近くを配線すべきではありません。

## 15 適用例

### 15.1 シングルエンドマッチングネットワークのnRF24E1

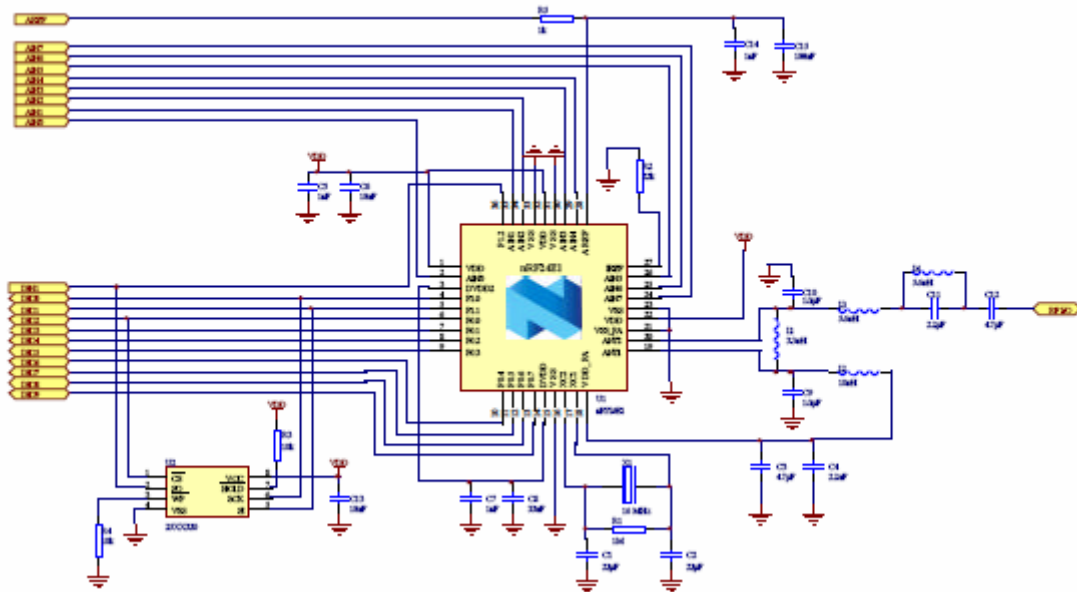


図 15 1 : nRF24E1のシングルエンド50オームの高周波レイアウト図



Component	Description	Size	Value	Tolerance	Units
C1	Capacitor ceramic, 50V, NPO	0603	22	±5%	pF
C2	Capacitor ceramic, 50V, NPO	0603	22	±5%	pF
C3	Capacitor ceramic, 50V, NPO	0603	4.7	±5%	pF
C4	Capacitor ceramic, 50V, X7R	0603	2.2	±10%	nF
C5	Capacitor ceramic, 50V, X7R	0603	1.0	±10%	nF
C6	Capacitor ceramic, 50V, X7R	0603	10	±10%	nF
C7	Capacitor ceramic, 50V, X7R	0603	1	±10%	nF
C8	Capacitor ceramic, 50V, X7R	0603	33	±10%	nF
C9	Capacitor ceramic, 50V, NPO	0603	1.0	± 0.1 pF	pF
C10	Capacitor ceramic, 50V, NPO	0603	1.0	± 0.1 pF	pF
C11	Capacitor ceramic, 50V, NPO	0603	2.2	± 0.25 pF	pF
C12	Capacitor ceramic, 50V, NPO	0603	4.7	± 0.25 pF	pF
C13	Capacitor ceramic, 50V, X7R	0603	10	±10%	nF
C14	Capacitor ceramic, 50V, X7R	0603	1.0	±10%	nF
C15	Capacitor ceramic, 50V, X7R	0603	100	±10%	nF
L1	Inductor, wire wound <sup>2)</sup>	0603	3.3	± 5%	nH
L2	Inductor, wire wound <sup>2)</sup>	0603	10	± 5%	nH
L3	Inductor, wire wound <sup>2)</sup>	0603	5.6	± 5%	nH
L4	Inductor, wire wound <sup>2)</sup>	0603	5.6	± 5%	nH
R1	Resistor	0603	1.0	±5%	MΩ
R2	Resistor	0603	22	±1%	kΩ
R3	Resistor	0603	10	±5%	kΩ
R4	Resistor	0603	10	±5%	kΩ
R5	Resistor	0603	1	±5%	kΩ
U1	nRF24E1 transceiver	QFN36 / 6x6	nRF24E1		
X1	Crystal, CL = 12pF, ESR < 100 ohm	LxWxH = 4.0x2.5x0.8	16 <sup>1)</sup>	+/- 30 ppm	MHz
U2	4 kbyte serial EEPROM with SPI interface	SO8	2XX320		

表 15 1 : nRF24E1のアンテナマッチングの推奨部品表

## 15.2 プリント基板の配置例

図15-2に図15-1のアプリケーション回路図のPCB配置例を示します。

6mm厚FR-4両面基板を使用しており、bottom層がグランドプレーンとなっています。さらに十分に部品をgroundingするために部品面にもグランド領域を持っています。多数のビアはTOPレイヤのグランドとbottomレイヤのグランドプレーンをつないでいます。

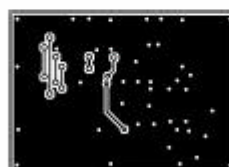


Top silk screen



Top view

No components in bottom layer



Bottom view

図 15 - 2 : 50オームのアンテナへのシングルエンド出力と1608サイズを受動部品を持ったnRF24E1の高周波配置

16 図の一覧

17 表の一覧

18 重要な注意事項